

(12)特許協力条約に基づいて公開された国際出願

(19)世界知的所有権機関  
国際事務局



(43)国際公開日  
2004年7月22日 (22.07.2004)

PCT

(10)国際公開番号  
WO 2004/061983 A1

(51)国際特許分類<sup>7</sup>: H01L 35/34, G01J 1/02, H01L 37/02

(71)出願人(米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府 門真市 大字門真 1006 番地 Osaka (JP).

(21)国際出願番号: PCT/JP2003/016837

(72)発明者; および

(22)国際出願日: 2003年12月25日 (25.12.2003)

(75)発明者/出願人(米国についてのみ): 生嶋君弥 (IKUSHIMA,Kimiya) [JP/JP]; 〒573-1103 大阪府 枚方市 楠葉野田 2-9-18-201 Osaka (JP). 茂淵寛仁 (KOMOBUCHI,Hiroyoshi) [JP/JP]; 〒612-0831 京都府 京都市伏見区桃山町松平筑前 1-1-4 11 Kyoto (JP). 馬場彩子 (BABA,Asako) [JP/JP]; 〒167-0051 東京都杉並区荻窪 5-21-26-503 Tokyo (JP). 内田幹也 (UCHIDA,Mikiya) [JP/JP]; 〒603-8365 京都府 京都市北区平野宮敷町 35 Kyoto (JP).

(25)国際出願の言語: 日本語

(26)国際公開の言語: 日本語

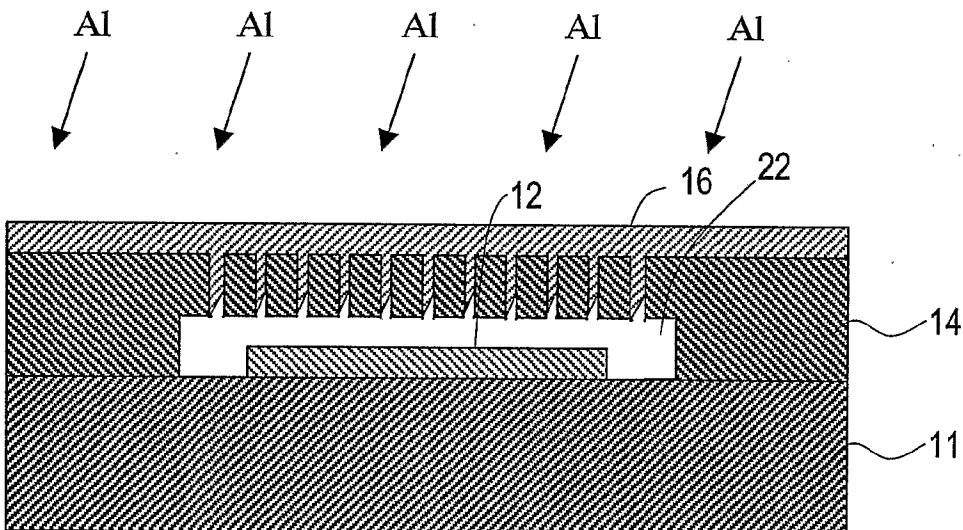
(30)優先権データ:  
特願 2002-379357

2002年12月27日 (27.12.2002) JP  
特願2003-289888 2003年8月8日 (08.08.2003) JP

/続葉有/

(54)Title: ELECTRONIC DEVICE AND METHOD OF MANUFACTURING THE SAME

(54)発明の名称: 電子デバイスおよびその製造方法



WO 2004/061983 A1

(57)Abstract: An electronic device and a method of manufacturing the electronic device, the method comprising the steps of forming etching holes (21) in a polysilicon film (14) formed in a hollow wall member, filling hydrofluoric acid from the etching holes (21) to dissolve silicon oxide film (13) so as to form a hollow (22) in which the detection part (12) of a sensor is exposed, stacking A1 film (16) in the etching holes (21) and on the upper surface of a substrate by sputtering, and removing the portion of the A1 film (16) positioned on the upper surface of the polysilicon film (14) by etching back to leave only metal plugs (16a) of A1 which seal the etching holes. Since a sputtering step is performed under a pressure of 5 Pa or below, a pressure in the hollows (22) can be maintained at a low pressure.

(57)要約: 本発明では、空洞壁部材であるポリシリコン膜14にエッティング用ホール21を形成する。エッティング用ホール21からフッ酸を注入し、シリコン酸化膜13を溶解し、空洞22を形成する。空洞22内でセンサの検出部12が露出された状態になる。次に、スパッタにより、エッチ

/続葉有/



(74) 代理人: 奥田 誠司 (OKUDA,Seiji); 〒540-0038 大阪府 大阪市 中央区 内淡路町一丁目 3 番 6 号 片岡ビル 2 階 奥田国際特許事務所 Osaka (JP).

(81) 指定国(国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国(広域): ARIPO 特許 (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

---

ング用ホール 21 内及び基板の上面に A1 膜 16 を堆積した後、エッチバックにより、A1 膜 16 のうちポリシリコン膜 14 上に位置する部分を除去して、エッチング用ホールを封鎖している A1 からなる金属栓 16a のみを残す。スパッタ工程は、5 Pa 以下の圧力下で行なわれるので空洞 22 内の圧力を低圧に保持することができる。

## 明細書

## 電子デバイスおよびその製造方法

技術分野

5 本発明は、内部圧力を低いレベルに保持した空洞を備えた電子デバイスおよびその製造方法に関する。特に、赤外線センサなどの検知部が減圧された雰囲気内に密閉される電子デバイスおよびその製造方法に関する。また、本発明は、このような空洞内の雰囲気の圧力を測定し、必要に応じて圧力を更に低下させることが可能な電子  
10 デバイスおよびその製造方法に関する。

背景技術

従来、赤外線センサなどの電子デバイスは、その検出感度を高めるために、少なくとも検知部が基板上に形成した空洞内に配置され、キャップ部によって真空雰囲気又は不活性ガス雰囲気中に密封されている。  
15

このような電子デバイスには、赤外線センサの他、圧力センサ、加速度センサ、流速センサ、真空トランジスタなどが含まれる。

これらのセンサのうち、赤外線センサは、ボロメータ型センサ、  
20 焦電型センサ、サーモパイル型センサまたは熱電対型センサなどの熱型センサと、PbS、InSb、HgCdTeなどを用いた量子型センサとに大別される。ボロメータ型センサの多くは、ポリシリコン、Ti、TiON、VO<sub>x</sub>などの抵抗変化材料から形成した検出部を備えるが、PNダイオードなどの順方向電流の過渡特性を利

用するものもある。サーモパイル型センサは、例えばPN接合部に生じるゼーベック効果を利用し、焦電型赤外線センサは、PZT、BST、ZnO、PbTiO<sub>3</sub>などの材料の焦電効果を利用する。

また、量子型センサは、電子励起によって流れる電流を検出する。

5 また、ゼーベック効果によって赤外線を検出するクロメル・アルメル熱電対 (Chromel-Alumel Thermocouple) を有する赤外センサ等がある。

赤外線の検出感度および精度を高く維持するためには、赤外線検出部からの熱放散を小さくすることが好ましく、マイクロ真空パッケージなどによって密閉された真空雰囲気又は減圧された不活性ガス雰囲気中に検出部を封入すると、検出特性が向上することが知られている。

10 圧力センサや加速度センサの感度も、検出部の周りに存在する空気の粘性抵抗が低下すると向上するため、キャップ体などによって密閉された真空雰囲気又は減圧された不活性ガス雰囲気中に検出部を封入することが好ましい。また、キャップ体の内部を真空状態に封止した場合、電子デバイスの製造時または使用時にキャップ体内の真空度が保持できていることを確認できることが好ましい。

15 以下、図1Aから図1Fを参照しながら、従来の電子デバイスの製造方法を説明する。

まず、図1Aに示す工程で、赤外線センサなどの検出部102が形成されたシリコン基板101上を用意する。そして、例えばCVD法により、シリコン酸化膜103を基板上に堆積した後、検出部

102およびその周辺部を覆うようにシリコン酸化膜103をパターニングする。このシリコン酸化膜103は、犠牲層として機能し、後の工程においてエッチングによって除去され、空洞部の形状を規定する。

5 図1Bに示す工程で、CVD法により、シリコン酸化膜103を覆うようにポリシリコン膜104を形成する。このポリシリコン膜104は、電子デバイスのキャップ部の側壁および天井壁となる。

図1Cに示す工程で、ポリシリコン膜104を貫通してシリコン酸化膜103に到達する多数のエッチング用ホール111を形成す  
10 る。

図1Dに示す工程で、エッチング用ホール111からフッ酸を注入し、シリコン酸化膜103を溶解し、エッチング用ホール111を介して溶液を除去する。これにより、シリコン酸化膜103によって囲まれる空洞112が形成され、空洞112内でセンサの検出  
15 部102が露出された状態になる。

次に、図1Eに示す工程で、CVD法により、ポリシリコン膜104を覆うポリシリコン膜106を堆積する。このとき、エッチング用ホール111の内壁部分にもポリシリコン膜106が堆積されるので、エッチング用ホール111は塞がれる。CVD法の開始後、  
20 エッチング用ホールが完全に塞がれるまでの間に、空洞112の内壁にもポリシリコン膜106が堆積される。

上記のCVD工程は、通常、500mTorr(約67Pa)程度の圧力下でSiH<sub>4</sub>などの反応ガスを用いて行なわれる。したが

って、空洞 112 は、その内部圧力が CVD 工程時における圧力 5  
0.0 mTorr (約 67 Pa) 程度の状態で密閉される。また、こ  
の CVD 工程では、空洞 112 の内部に未反応の SiH<sub>4</sub> や、反応  
によって生じる H<sub>2</sub> ガスが残留している。更に、空洞 112 の壁面  
5 上に堆積したポリシリコン膜 106 には、未反応の SiH<sub>4</sub> や反応  
によって生じる H<sub>2</sub> ガスが吸着している。

次に、図 1 F に示す工程で、高真空下、500°C 以上の高温で基  
板 101 の全体を加熱する。このとき、空洞 112 の内部の SiH  
4 ガスがある程度分解し、H<sub>2</sub> ガスがポリシリコン膜 104、10  
10 6 を通過して外部に放出される。このため、空洞 112 内の圧力は、  
CVD 工程時における空洞 112 の内部圧力よりも少し低下し、空  
洞 112 の真密度が幾分向上する。

上記の製造方法は、例えば特開 2000-124469 号公報に  
記載されている。

15 次に、真空パッケージ（キャップ体）の内部における真密度を向  
上させる従来技術および真密度（圧力）を測定する従来技術を説明  
する。

図 4 2 は、従来の真空パッケージを有する電子デバイスの断面構  
成を模式的に示している（特開平 11-326037 号公報  
20 参照）。図 4 2 の電子デバイスは、シリコン基板 91 と、ハンダ  
99 によってシリコン基板 91 上に固定された透過窓 94 とを備え  
ている。透過窓 94 とシリコン基板 91 との間には、高さが 1~1  
0 mm 程度の空隙 93 が設けられており、この空隙 93 に大きさが

数mm程度のゲッタ95が配置されている。

透過窓94には貫通穴97が形成されており、ゲッタ95は貫通穴97を通して空隙93に配置されている。シリコン基板91を真空中に配置すると、貫通穴97を通して空隙93は排気され、減圧される。真空封止用ハンダ99を溶融することによって貫通穴97を封止し、空隙93を真空状態に保持する。その後、ゲッタ95を活性化すると、空隙93の圧力を更に低くし、高真空状態を得ることができる。  
5

キャップ体内の真密度は、例えばピラニゲージを用いて測定することができる。ピラニゲージは、真空中に配置された抵抗体の電気抵抗値に基づいて真密度を求める装置である。気体の熱伝導率は気体の圧力つまり真密度に依存するため、加熱した抵抗体から気体への熱伝導率を求めれば、適切な校正をすることによって気体の真密度を決定することができる。  
10

近年、電子デバイスの小型化が進み、上記の真空パッケージ（キャップ体）を超小型に形成する要望が強まっている。例えば、マトリクス状に配列された多数の赤外線検出部および可視光検出部を同一基板上に備えたイメージセンサが提案されている。このようなイメージセンサでは、例えば $50\mu m \times 50\mu m$ 程度の大きさを有する個々の赤外線検出部を $100\mu m \times 100\mu m$ 程度の大きさを有するマイクロ真空パッケージで封止される（特開2003-17672号公報）。  
15  
20

また、真空中で高速スイッチ動作を行うFET素子とトランジス

夕を混載した電子デバイスを超小型に製造するために、基板上の F  
E A 素子の部分だけに超小型の真空パッケージを形成することが例  
えば、Silicon metal-oxide-semiconductor field effect  
transistor/field emission array fabricated using chemical  
5 mechanical polishing, C. Y. Hong and A. I. Akinwande, J.  
Vac. Sci. Technol. B Vol. 21, No. 1, p500-505, Jan/Feb  
2003.に記載されている。

上述した電子デバイスの製造方法によれば、図 1 F に示す熱処理  
工程において空洞 112 内で SiH<sub>4</sub> ガスが分解し、H<sub>2</sub> ガスが空  
10 洞 112 の外部に放出される。このため、空洞内の真空度は、CV  
D 工程時における圧力 500 mTorr (約 67 Pa) よりも幾分  
は高まるものの、センサの感度向上のためには、それ以上の真空度  
の向上が見込めないという問題がある。

上記の製造方法では、検出部 102 と基板 101 との間には空洞  
15 を形成していないが、検出部 102 の上層および下層の各々に犠牲  
層を設けることにより、検出部 102 の上方だけではなく下方も空  
洞内の雰囲気ガスを接触する構造を作製することが可能である。

図 2 は、このような構造を有するボロメータ型赤外線センサの検  
出部付近を示す斜視図である。図 2 では、赤外線検出部として機能  
20 する「ボロメータ」と呼ばれる抵抗体 151 と、抵抗体 151 を支  
持する支持部材 152 とが基板 101 上に形成されている。抵抗体  
151 は、例えばパターニングされたポリシリコン膜から形成され、  
支持部材 152 はポリシリコン膜、窒化膜、酸化膜などを積層して

設けられることが多い。支持部材 152 は、上面に抵抗体 151 が形成されている支持本体部分から伸びたアーム部分を有しており、このアーム部分を介して基板 101 に固定された状態にある。

図 2 では、空洞壁用部材は示されてないが、現実の赤外線センサ 5 では、図 1 F に示す空洞 112 と同様の空洞の内部に支持部材 150 が配置されている。

以下、エッチング用ホールを CVD 法によって塞いだ場合に生じる問題を詳細に説明する。

図 2 に示していないが、空洞を囲むように存在するポリシリコン膜（図 1 F の参照符号「104」、「106」で示す膜）を通過して赤外線が抵抗体 151 に入射すると、抵抗体 151 の温度が上昇するため、この温度上昇に伴って抵抗値が変化する。図 2 の構造を有する赤外線センサでは、この抵抗値の変化を測定することにより、抵抗体 151 に入射した赤外線の量を検出することができる。

15 赤外線センサの検出感度を向上させるためには、赤外線が抵抗体 151 に入射したときの抵抗体 151 の温度上昇を大きくする必要がある。このため、赤外線検出部として機能する抵抗体 151 との外部との間をできるだけ断熱することが好ましい。

抵抗体 151 とその外部との間の熱伝導は、抵抗体 151 と基板 20 101 とを接続している支持部材 152 を介した熱伝導、および、抵抗体 151 の周囲の気体を介した熱伝導に分けられる。

支持部材 152 を介した熱伝導は、支持部材 152 の最も細い部分の断面積が小さく、かつ、基板 101 との距離が大きいほど小さ

い。例えば、MEMS (Micro-Electro-Mechanical Systems) の技術を用いれば、図2に示すように、支持部材152のうち基板101につながる部分（接続部）を断面積 $3 \mu\text{m}^2$ 、長さ $50 \mu\text{m}$ のSi<sub>3</sub>N<sub>4</sub>の2本の柱によって構成することが可能である。この場合には、熱コンダクタンス（Thermal Conductance）は $3 \times 10^{-7}$  (W/K) となる。  
5

これに対して、抵抗体151の周囲の気体を介した熱コンダクタンスは、気体の圧力が小さいほど小さい。このことから、赤外線センサの感度を向上するためには検出部の周囲の気体圧力を小さくする必要がある。  
10

しかしながら、図1Aから図1Fを参照しながら説明した従来の製造方法では、図1Eに示す工程の後、残留ガスによって空洞112の内部の圧力は500 mTorr (約67 Pa) 程度に保たれている。空洞112の形成後、真空高温処理を行なうことにより、内部の水素が外部に拡散するため、空洞112の内部圧力を幾分低下させることができるが、高温加熱によっても空洞112の外部に追い出すことができないSiH<sub>4</sub>ガスが残留する。  
15

ボロメータ型などの赤外線イメージセンサでは、検出部を覆う空気の圧力と感度との間に図3のグラフに示す関係がある。このような関係は、例えば、Academic Press社の「Uncooled Infrared Imaging Arrays and Systems」の115ページに説明されている。  
20

図3のグラフは、縦軸が感度を示し、横軸が検出部12の雰囲気圧力を示している。このグラフからわかるように、圧力が低いほど感度が高くなる。圧力が50mTorrの場合の感度は、圧力が500mTorrの場合の感度の感度に比べて約3倍になる。このため、空洞内部の圧力は50mTorr以下にすることが望ましい。

また、赤外線センサの検出部151の支持部材152は図2に示すような微細な構造をもつので、図1Fに示す工程で、あまりに高温の加熱を行なうと、支持部材152に熱応力が発生して支持部材152が破損するおそれがある。

さらに、660°C以上の高温加熱を行なった場合、センサの配線に用いられているA1が融解するという問題が生じるため、この温度以下で加熱する必要があるが、この温度においてはH<sub>2</sub>の外部への拡散速度が非常に小さいので、真空度向上のための加熱としての機能をそれほど期待することができない。

このように、CVDを用いてエッチング用ホールを塞ぐ従来の製造方法では、空洞112の真空度を更に向上させ、それによって検出感度を高めることが困難である。

この真空度を向上させるため、図12を参照しながら説明した方法を採用すると、微細な空洞内に図12に示すゲッタを歩留まりよく配置することは極めて困難である。

また、前述の真空パッケージ（キャップ体）を1mm以下のサイズに小型化すると、各真空パッケージの内部に従来の方法でゲッタ剤を配置することが更に困難になる。例えば、個々の赤外線検出部

を $100\mu m \times 100\mu m$ 程度の大きさを有するマイクロ真空パッケージで封止する場合、多数の真空パッケージの個々の内部にゲッタ剤を配置してゆくことは非常に難しく、手間もかかる。

更に、従来のピラニゲージなどによる真空度検出技術の多くは、

5    大型装置の真空チャンバー内における真空度を計測することを目的として作製されたものであるため、小さなものでも検出素子の長さが0.2インチ程度もある。このため、従来のピラニゲージは、上述した超小型真空パッケージの内部圧力を測定することには適していない。

10    本発明の目的は、上記事情に鑑みてなされたものであり、その目的とするところは、少なくとも一部が空洞内に保持される電子デバイスであって、前記空洞の内部圧力を従来よりも低減することができる電子デバイスと、その製造方法を提供することにある。

15    本発明の他の目的は、超小型真空パッケージの内部圧力を測定できる電子デバイスおよびその製造方法を提供することにある。

本発明の更に他の目的は、超小型真空パッケージ内の真空度を維持または向上することが容易な電子デバイスおよびその製造方法を提供することにある。

20

### 発明の開示

本発明の電子デバイスを製造する方法は、電子デバイスの一部が設けられた基板を用意し、前記電子デバイスの一部を覆う犠牲層を前記基板の選択された領域上に形成する工程（a）と、前記犠牲層を覆う空洞壁用膜を前記基板上に形成する工程（b）と、前記空洞

壁用膜を貫通して前記犠牲層に達する少なくとも1つの開口を前記空洞壁用膜に形成する工程（c）と、前記開口を介して前記犠牲層の少なくとも1部を選択的にエッチングすることにより、前記電子デバイスの一部を囲む空洞を形成する工程（d）と、前記開口を塞ぐシール部材をスパッタ法によって形成する工程（e）とを含む。  
5

好ましい実施形態において、前記工程（e）では、金属をスパッタすることにより、前記シール部材を形成する。

好ましい実施形態において、前記工程（e）では、シリコンをスパッタすることにより、前記シール部材を形成する。

10 好ましい実施形態において、前記工程（e）では、シール部材用膜を前記開口及び前記空洞壁用膜の上に堆積した後、前記シール部材用膜のうち前記空洞壁用膜の上面上に位置する部分を除去することにより、前記開口内に前記シール部材を残す。

15 好ましい実施形態において、前記工程（e）では、前記基板の正面に垂直な方向に対して傾いた方向からスパッタを行なう。

好ましい実施形態において、前記工程（c）では、上方で広く下方で狭い形状を有する開口を形成する。

好ましい実施形態において、前記工程（b）では、前記犠牲層の側面に到達する側方開口をさらに形成する。

20 好ましい実施形態において、前記工程（b）では、前記工程（e）におけるスパッタの方向からみて、前記開口が前記電子デバイスの一部とオーバーラップしないように前記開口を形成する。

好ましい実施形態において、前記工程（e）では、10Pa以下の圧力下でスパッタを行なう。

好ましい実施形態において、前記工程（e）では、5Pa以下の圧力下でスパッタを行なう。

好ましい実施形態において、前記工程（a）では、前記犠牲層をポリシリコン膜から形成し、前記工程（b）では、前記空洞壁用膜としてシリコン酸化膜を形成する。  
5

好ましい実施形態において、前記電子デバイスの一部は、赤外線センサの検出部であり、前記工程（a）では、前記犠牲層をポリシリコン膜から形成し、前記工程（b）では、前記空洞壁用膜として、ポリシリコン膜及び該ポリシリコン膜を包むシリコン酸化膜を形成  
10 する。

好ましい実施形態において、前記工程（a）では、前記犠牲層をシリコン酸化膜から形成し、前記工程（b）では、前記空洞壁用膜としてポリシリコン膜を形成する。

好ましい実施形態において、前記工程（d）の後で前記工程  
15 （e）の前に、CVDによって、基板の露出している表面上に膜を堆積して前記開口を小さくする工程をさらに含む。

好ましい実施形態において、前記工程（a）の前に、前記電子デバイスの一部として、赤外線センサの検出部と、前記検出部の側方及び下方を埋める下部空洞用犠牲層とを形成する工程をさらに含み、  
20 前記工程（d）では、前記犠牲層及び前記下部空洞用犠牲層を除去する。

本発明の電子デバイスは、基板と、前記基板上に設けられた電子デバイスの一部と、空洞を挟んで前記電子デバイスの一部を囲む空

洞壁部材と、前記空洞壁部材のうち天井部に設けられた開口を塞ぐシール部材とを含み、前記シール部材は、スパッタにより形成されている。

好ましい実施形態において、前記シール部材は、シリコンによつて構成されている。  
5

好ましい実施形態において、前記シール部材は、金属によって構成されている。

好ましい実施形態において、前記空洞内の圧力は、10Pa以下である。

10 好ましい実施形態において、前記空洞内の圧力は、5Pa以下である。

好ましい実施形態において、前記シール部材は、金属によって構成されている。

好ましい実施形態において、前記シール部材は、酸化膜によって構成されている。  
15

好ましい実施形態において、前記電子デバイスの一部は、赤外線センサの検出部であり、前記空洞壁部材は、ポリシリコンと該ポリシリコンを包むシリコン酸化膜によって構成されている。

好ましい実施形態において、前記電子デバイスの一部は、赤外線センサの検出部であり、前記検出部の側方及び下方は、下部空洞によって囲まれている。  
20

好ましい実施形態において、前記スパッタの方向からみて、前記開口が前記電子デバイスの一部とオーバーラップしていない。

本発明による他の電子デバイスの製造方法は、減圧された空洞と、少なくとも一部が前記空洞内に配置された圧力測定素子とを備えた電子デバイスの製造方法であって、前記圧力測定素子を基板に設ける工程（a）と、前記圧力測定素子の少なくとも一部を内部に含む5 ように前記空洞を形成する工程（b）とを含み、前記空洞を形成する工程（b）は、被エッチング領域にエッチャントを供給するための開口を形成する工程（b1）と、前記開口を通じて前記被エッチング領域にエッチャントを供給し、前記被エッチング領域を除去する工程（b2）と、前記開口を塞ぐシール部材をスパッタ法によつ10 て形成する工程（b3）とを含む。

好ましい実施形態において、前記工程（a）は、発熱および／または吸熱を行う機能を有する熱吸放出部、および温度を検出する機能を有する温度検出部を、薄膜堆積技術によって前記基板上に形成し、それによって前記圧力検出素子を形成する工程（a1）を含む。15  
好ましい実施形態において、前記熱吸放出部は、ジュール熱によって発熱する。

好ましい実施形態において、前記温度検出部は、電気抵抗の温度に対する抵抗変化によって温度を検出する。

好ましい実施形態において、前記熱吸放出部は、電気抵抗による20 ジュール熱によって発熱する機能と、前記電気抵抗の電気抵抗の温度に対する抵抗変化によって温度を検出する機能とを有しており、前記熱吸放出部と前記温度検出部が同一の電気抵抗体薄膜によって構成されている。

好ましい実施形態において、前記熱吸放出部は、ペルチェ素子で

ある。

好ましい実施形態において、前記工程（b）は、前記被エッチング領域として機能する犠牲層を前記圧力測定素子上に形成する工程と、前記犠牲層を覆う空洞壁用膜を前記基板上に形成する工程と、

5 好ましい実施形態において、前記開口を前記空洞壁用膜に形成し、前記開口を介して前記犠牲層の少なくとも一部を露出させる工程とを含む。

好ましい実施形態において、前記工程（a1）を行なう前に、前記基板の一部を覆う熱吸放出部断熱用犠牲層を前記基板の選択された領域上に形成する工程と、前記工程（a1）を行なった後に、前記熱吸放出部断熱用犠牲層の少なくとも一部を除去する工程とを更に含む。

10 好ましい実施形態において、前記工程（a1）を行なう前に、前記被エッチング領域の一部として機能する熱吸放出部断熱用犠牲層を前記基板の選択された領域上に形成する工程と、前記熱吸放出部断熱用犠牲層の上に前記圧力測定素子を形成した後、前記被エッチング領域の他の一部として機能する空洞壁用犠牲層を前記圧力測定素子上に形成する工程と、前記熱吸放出部断熱用犠牲層と前記空洞壁用犠牲層を覆う空洞壁用膜を形成する工程と、前記開口を前記空洞壁用膜に形成し、前記熱吸放出部断熱用犠牲層および前記空洞壁用犠牲層の少なくとも一方の一部の表面を露出させる工程と、前記開口を介して前記熱吸放出部断熱用犠牲層および前記空洞壁用犠牲層の少なくとも一部を除去する工程とを含む。

15

20 好ましい実施形態において、前記基板の上にエッチストップ層を形成する工程と、前記開口を前記エッチストップ層に形成する工程

と、前記熱吸放出部および温度検出部のうち、少なくとも一方を前記エッチストップ層上に形成する工程と、前記開口を通じて前記エッチャントを供給し、前記基板のうち前記被エッチング領域として機能する領域を除去することによって前記空洞の少なくとも1部を  
5 形成する工程とをさらに含む。

好ましい実施形態において、前記基板として、表面または内部にエッチストップ層として機能する領域と、前記エッチストップ層して機能する領域の下方において前記被エッチング領域として機能する領域とを備えた基板を用意する工程と、前記開口を前記エッチストップ層に形成する工程と、  
10

好ましい実施形態において、前記熱吸放出部および温度検出部のうち、少なくとも一方を前記エッチストップ層上に形成する工程と、前記開口を介して前記エッチャントを供給し、前記基板の前記被エッチング領域の少なくとも一部を除去する工程とをさらに含む。  
15

好ましい実施形態において、前記熱吸放出部は、1 mm以下の大きさを有している。

好ましい実施形態において、前記工程（b 3）は、10 Torr 以下の圧力で行う。

好ましい実施形態において、前記工程（b 3）では、シリコンを  
20 スパッタする。

好ましい実施形態において、前記薄膜堆積技術は真空蒸着法である。

好ましい実施形態において、前記薄膜堆積技術は、CVD または PVD によって行なう。

25 本発明による更に他の電子デバイスの製造方法は、減圧された空洞と、前記空洞内に配置され、周囲の物質を吸着する機能を有する

ゲッタリング薄膜と、前記ゲッタリング薄膜を発熱によって活性化する機能を有する活性化部とを備えた電子デバイスの製造方法であって、薄膜堆積技術により、前記活性化部およびゲッタリング薄膜を基板に設ける工程（a）と、前記空洞を形成する工程（b）とを含み、前記空洞を形成する工程（b）は、被エッチング領域にエッチャントを供給するための開口を形成する工程（b1）と、前記開口を通じて前記被エッチング領域にエッチャントを供給し、前記被エッチング領域を除去する工程（b2）と、前記開口を塞ぐシール部材をスパッタ法によって形成する工程（b3）とを含む。

好ましい実施形態において、前記工程（a）は、薄膜堆積技術によって前記活性化部を形成する工程（a1）と、薄膜堆積技術によって前記ゲッタリング薄膜を前記活性化部に接する位置に形成する工程（a2）と、を含む。

好ましい実施形態において、前記工程（a）は、前記工程（a1）および前記工程（a2）を行なう前に、前記基板の一部を覆う活性化部用犠牲層を前記活性化部が形成される領域上に形成する工程を含み、前記工程（b）は、前記活性化部用犠牲層の少なくとも一部を除去する工程をを含む。

好ましい実施形態において、前記基板の上にエッチストップ層を形成する工程と、前記開口を前記エッチストップ層に形成する工程と、前記活性化部および前記ゲッタリング薄膜のうち、少なくとも一方を前記エッチストップ層上に形成する工程と、前記開口を通じて前記エッチャントを供給し、前記基板のうち前記被エッチング領域として機能する領域を除去することによって前記空洞の少なくとも1部を形成する工程とをさらに含む。

好ましい実施形態において、前記基板として、表面または内部に

エッチストップ層として機能する領域と、前記エッチストップ層して機能する領域の下方において前記被エッチング領域として機能する領域とを備えた基板を用意する工程と、前記開口を前記エッチストップ層に形成する工程と、前記活性化部およびゲッタリング薄膜のうち、少なくとも一方を前記エッチストップ層の上方に形成する工程と、前記開口を介して前記エッチャントを供給し、前記基板の前記被エッチング領域の少なくとも一部を除去する工程とをさらに含む。  
5

好ましい実施形態において、前記工程（b）は、前記被エッチング領域として機能する空洞壁用犠牲層を前記活性化部上に形成する工程と、前記空洞壁用犠牲層を覆う空洞壁用膜を前記基板上に形成する工程と、前記開口を前記空洞壁用膜に形成し、前記開口を介して前記空洞壁用犠牲層の少なくとも一部を露出させる工程とを含む。  
10

好ましい実施形態において、前記活性化部は、1 mm以下の大きさを有している。  
15

好ましい実施形態において、前記工程（b 3）は、10 Torr 以下の圧力で行う。

好ましい実施形態において、前記工程（b 3）では、シリコンをスパッタする。

好ましい実施形態において、前記薄膜堆積技術は真空蒸着法である。  
20

好ましい実施形態において、前記活性化部が電気抵抗によるジュール熱によって発熱する。

好ましい実施形態において、前記活性化部がペルチェ素子である。

好ましい実施形態において、前記電子デバイスは、前記基板上に形成された少なくとも1つの赤外線検出部および少なくとも1つの  
25

可視光検出部を有しており、前記空洞は、前記赤外線検出部の少なくとも一部を取り囲み、かつ、前記可視光検出部の一部を囲まない形状を有している。

好ましい実施形態において、前記基板上に形成された前記可視光  
5 線検出部の数は複数であり、前記基板上に配列されている。

好ましい実施形態において、前記基板上に形成された前記赤外線  
検出部および可視光線検出部の数は、それぞれ、複数であり、前記  
基板上に配列されている。

赤外線および可視光線を反射するミラーを形成する工程を更に含  
10 む。

本発明による他の電子デバイスは、基板と、前記基板上に設けられた電子デバイスの一部と、空洞を挟んで前記電子デバイスの一部を囲む空洞壁部材と、前記空洞壁部材のうち天井部に設けられた開口を塞ぐシール部材とを含み、前記シール部材は、薄膜から形成されており、前記空洞の内部の圧力が 10 Pa 以下である。  
15

好ましい実施形態において、前記空洞の内部には、ゲッタリング薄膜が設けられている。

好ましい実施形態において、前記空洞の少なくと一部は、前記ゲッタリング薄膜の下方にも存在している。

好ましい実施形態において、前記電子デバイスは、前記ゲッタリ  
20 ング薄膜を加熱するマイクロヒータ部を備えている。

#### 図面の簡単な説明

図 1A は、従来の電子デバイスの製造方法を示す工程断面図であ

る。

図 1 B は、従来の電子デバイスの製造方法を示す工程断面図である。

図 1 C は、従来の電子デバイスの製造方法を示す工程断面図  
5 である。

図 1 D は、従来の電子デバイスの製造方法を示す工程断面図  
である。

図 1 E は、従来の電子デバイスの製造方法を示す工程断面図である。

10 図 1 F は、従来の電子デバイスの製造方法を示す工程断面図である。

図 2 は、ボロメータ型赤外センサの検出部付近の構造を示す斜視  
図である。

15 図 3 は、赤外線イメージセンサの検出部における雰囲気圧力と感  
度との関係を示す図である。

図 4 A は、本発明の第 1 の実施形態に係る電子デバイスの製造工  
程のうちエッチング用開口部を形成するまでの工程を示す断面図で  
ある。

20 図 4 B は、本発明の第 1 の実施形態に係る電子デバイスの製造工  
程のうちエッチング用開口部を形成するまでの工程を示す断面図で  
ある。

図 4 C は、本発明の第 1 の実施形態に係る電子デバイスの製造工  
程のうちエッチング用開口部を形成するまでの工程を示す断面図で  
ある。

25 図 4 D は、本発明の第 1 の実施形態に係る電子デバイスの製造工

程のうちエッチング用開口部を形成した後の工程を示す断面図である。

図4Eは、本発明の第1の実施形態に係る電子デバイスの製造工程のうちエッチング用開口部を形成した後の工程を示す断面図である。  
5

図4Fは、本発明の第1の実施形態に係る電子デバイスの製造工程のうちエッチング用開口部を形成した後の工程を示す断面図である。

図5(a)、図5(b)は、それぞれ第2の実施形態に係る電子  
10 デバイスの製造工程の一部を示す部分断面図である。

図6は、第2の実施形態において、赤外線センサの感度の低下防止のための第1の手段を講じた場合の電子デバイスの空洞内部の構造を示す部分横断面図である。

図7Aは、本発明の第3の実施形態における電子デバイスの製造  
15 工程のうち、犠牲層を形成するまでの工程を示す断面図である。

図7Bは、本発明の第3の実施形態における電子デバイスの製造工程のうち、犠牲層を形成するまでの工程を示す断面図である。

図7Cは、本発明の第3の実施形態における電子デバイスの製造工程のうち、犠牲層を形成するまでの工程を示す断面図である。

20 図7Dは、本発明の3の実施形態に係る電子デバイスの製造工程のうち、犠牲層を形成してからBPSG膜の平坦化を行なうまでの工程を示す断面図である。

図7Eは、本発明の第3の実施形態に係る電子デバイスの製造工

程のうち、犠牲層を形成してからBPSG膜の平坦化を行なうまでの工程を示す断面図である。

図7Fは、本発明の第3の実施形態に係る電子デバイスの製造工程のうち、犠牲層を形成してからBPSG膜の平坦化を行なうまでの工程を示す断面図である。  
5

図7Gは、本発明の第3の実施形態に係る電子デバイスの製造工程のうち、BPSG膜の平坦化を行なってから保護膜等のパターニングを行なうまでの工程を示す断面図である。

図7Hは、本発明の第3の実施形態に係る電子デバイスの製造工程のうち、BPSG膜の平坦化を行なってから保護膜等のパターニングを行なうまでの工程を示す断面図である。  
10

図7Iは、本発明の第3の実施形態に係る電子デバイスの製造工程のうち、BPSG膜の平坦化を行なってから保護膜等のパターニングを行なうまでの工程を示す断面図である。

図7Jは、本発明の第3の実施形態に係る電子デバイスの製造工程のうち、保護膜等のパターニングを行なってからエッティング用ホールを形成するまでの工程を示す断面図である。  
15

図7Kは、本発明の第3の実施形態に係る電子デバイスの製造工程のうち、保護膜等のパターニングを行なってからエッティング用ホールを形成するまでの工程を示す断面図である。  
20

図7Lは、本発明の第3の実施形態に係る電子デバイスの製造工程のうち、保護膜等のパターニングを行なってからエッティング用ホールを形成するまでの工程を示す断面図である。

図7Mは、本発明の第3の実施形態に係る電子デバイスの製造工程のうち、エッチング用ホールを形成してからエッチング用ホールを塞ぐシール部材を形成するまでの工程を示す断面図である。

5 図7Nは、本発明の第3の実施形態に係る電子デバイスの製造工程のうち、エッチング用ホールを形成してからエッチング用ホールを塞ぐシール部材を形成するまでの工程を示す断面図である。

図7Oは、本発明の第3の実施形態に係る電子デバイスの製造工程のうち、エッチング用ホールを形成してからエッチング用ホールを塞ぐシール部材を形成するまでの工程を示す断面図である。

10 図8は、図12Iにおける溝63を示す平面レイアウト図である。

図9は、本発明の第4の実施形態に係る赤外線センサを示す断面図である。

図10Aは、本発明の第5の実施形態に係る電子デバイスの製造方法を示す工程断面図である。

15 図10Bは、本発明の第5の実施形態に係る電子デバイスの製造方法を示す工程断面図である。

図10Cは、本発明の第5の実施形態に係る電子デバイスの製造方法を示す工程断面図である。

20 図11は、本発明の第6の実施形態に係る電子デバイスの製造方法を示す断面図である。

図12(a)は、本発明の第7の実施形態を示す斜視図であり、図12(b)は、その等価回路図である。

図13は、本発明の第7の実施形態における赤外線検出部の構成を模式的に示す斜視図である。

図14は、マイクロヒータ部167のレイアウトの一例を示す平面図である。

図15は、マイクロヒータ支持部168の構成例を示す斜視図である。

5 図16は、テスト用の赤外線検出部を示す斜視図である。

図17Aは、マイクロヒータ部の構成を示す斜視図である。

図17Bは、マイクロヒータ部の構成を示す断面図（ブリッジを横切る断面図）である。

10 図17Cは、マイクロヒータ部の構成を示す断面図（ブリッジが延びる方向に平行な断面図）である。

図17Dは、マイクロヒータ部の構成を示す平面図である。

図18は、マイクロヒータ部における電気抵抗と真空度（圧力）との関係の一例を示すグラフである。

15 図19は、本発明の第7の実施形態における電子デバイスの製造工程を示す図であり、(a)はA-A'線断面図、(b)はB-B'線断面図、(c)は平面図である。

図20は、本発明の第7の実施形態における電子デバイスの製造工程を示す図であり、(a)はA-A'線断面図、(b)はB-B'線断面図、(c)は平面図である。

20 図21は、本発明の第7の実施形態における電子デバイスの製造工程を示す図であり、(a)はA-A'線断面図、(b)はB-B'線断面図、(c)は平面図である。

図22は、本発明の第7の実施形態における電子デバイスの製造工程を示す図であり、(a)はA-A'線断面図、(b)はB-B'線断面図、(c)は平面図である。

図23は、本発明の第7の実施形態における電子デバイスの製造工程を示す図であり、(a)はA-A'線断面図、(b)はB-B'線断面図、(c)は平面図である。

図24は、本発明の第7の実施形態における電子デバイスの製造工程を示す図であり、(a)はA-A'線断面図、(b)はB-B'線断面図、(c)は平面図である。

図25は、本発明の第7の実施形態における電子デバイスの製造工程を示す図であり、(a)はA-A'線断面図、(b)はB-B'線断面図、(c)は平面図である。

図26は、本発明の第7の実施形態における電子デバイスの製造工程を示す図であり、(a)はA-A'線断面図、(b)はB-B'線断面図、(c)は平面図である。

図27は、本発明の第7の実施形態における電子デバイスの製造工程を示す図であり、(a)はA-A'線断面図、(b)はB-B'線断面図、(c)は平面図である。

図28は、本発明の第7の実施形態における電子デバイスの製造工程を示す図であり、(a)はA-A'線断面図、(b)はB-B'線断面図、(c)は平面図である。

図29は、本発明の第7の実施形態における電子デバイスの製造工程を示す図であり、(a)はA-A'線断面図、(b)はB-B'線断面図、(c)は平面図である。

図30は、本発明の第7の実施形態における電子デバイスの製造工程を示す図であり、(a)はA-A'線断面図、(b)はB-B'線断面図、(c)は平面図である。  
5

図31は、本発明の第7の実施形態における電子デバイスの製造工程を示す図であり、(a)はA-A'線断面図、(b)はB-B'線断面図、(c)は平面図である。

図32は、本発明の第8の実施形態における電子デバイスを示す断面図であり、(a)はA-A'線断面図、(b)はB-B'線断面図である。  
10

図33は、本発明の第8の実施形態における電子デバイスの製造工程を示す図であり、(a)はA-A'線断面図、(b)はB-B'線断面図、(c)は平面図である。  
15

図34は、本発明の第9の実施形態を示す図である。

図35は、本発明の第9の実施形態の等価回路図である。

図36は、赤外線検出部の感度と雰囲気の真空度との関係を示したグラフ図である。

図37は、抵抗体における熱の出入りを説明するための斜視図である。  
20

図38は、抵抗体を自己発熱させ、一定期間放置した後の抵抗体の温度変化を示すグラフである。Pr o 1~3は、それぞれ、異な

る真空度のマイクロパッケージ内に置かれた素子 1～3 の温度プロファイルを示している。

図 39 は、実施形態における抵抗体の温度測定のタイミングチャートである。横軸は時間を示し、縦軸は駆動電圧を示している。

5 図 40 は、真空度判定のための温度測定時において、赤外線検出部の出力信号を処理し、欠陥を補完する回路を示す図である。

図 41 は、図 35 に示すセルアレイにおけるマイクロ真空パッケージの配置を模式的に示す図である。

図 42 は、従来の真空パッケージを有する電子デバイスの断面構成を模式的に記す図である。

### 発明を実施するための最良の形態

以下、図面を参照しながら、本発明の実施形態を説明する。

#### (実施形態 1)

15 以下、図面を参照しながら、本発明による第 1 の実施形態を説明する。

まず、図 4A に示す工程で、シリコン基板 11 の主面上に赤外線センサのボロメータなどの検出部 12 を形成する。具体的には、センサ機能を有する材料の薄膜をシリコン基板 11 上に堆積した後、  
20 フォトリソグラフィおよびエッチング技術などの微細加工を施すことにより、上記薄膜をパターニングする。この検出部 12 の平面形状は、例えば、図 2 の抵抗体 151 と同様の平面形状を有するように設計される。

次に、CVD法などの薄膜堆積技術により、検出部12を覆うシリコン酸化膜13をシリコン基板11上に堆積した後、検出部12およびその周辺部を覆うようにシリコン酸化膜13をパターニングする。このパターニングも、フォトリソグラフィおよびエッチング技術によって実行され得る。パターニンされたシリコン酸化膜13は、犠牲層として機能し、後にエッチングで除去され、空洞部の形状を規定することになる。シリコン酸化膜13の厚さは、空洞の高さを規定する。本実施形態では、シリコン酸化膜13の厚さ、例えば0.5 μm以上2 μm以下の範囲に設定する。

次に、図4Bに示す工程で、CVD法などの薄膜堆積技術により、シリコン酸化膜13を覆うポリシリコン膜14をシリコン基板11上に堆積する。このポリシリコン膜14は、空洞部を形成した後、電子デバイスのキャップ部の側壁および天井壁として機能する空洞壁部材である。ポリシリコン膜14の厚さは、例えば0.5 μm以上2 μm以下の範囲に設定される。本実施形態では、エッチングによって除去される犠牲層をシリコン酸化膜から形成しているため、シリコン酸化膜をエッチングするエッチャントに対してエッチングされにくい材料から空洞壁部材を形成する必要がある。ポリシリコンは、シリコン酸化物のエッチングに利用される種々のエッチャントに対して優れた耐エッチング性を示す材料の一つである。

図4Cに示す工程で、ポリシリコン膜14を貫通してシリコン酸化膜13に到達する多数のエッチング用ホール21を形成する。エッチング用ホール21は、フォトリソグラフィおよびエッチング技

術により、任の位置に任意の個数および配列で形成される。本実施形態では、エッチング用ホール21の直径を0.1 μm以上6 μm以下の範囲に設定する。

次に、図4Dに示す工程で、エッチング用ホール21にフッ酸を注入し、シリコン酸化膜13をエッチングする。フッ酸と反応して溶解したシリコン酸化膜13は、エッチング用ホール21を介して除去され、ポリシリコン膜14によって囲まれる空洞22が形成される。空洞22の内部は、センサの検出部12が露出した状態になる。

図4Eに示す工程で、ポリシリコン膜14の上面を覆うA1膜16をシリコン基板11上に形成する。本実施形態では、このA1膜16を斜め方向からのスパッタによって形成する。A1膜16の厚さは、エッチング用ホール21の直径に応じて異なるが、本実施形態では、2.0 μmに設定している。このスパッタ工程は、5Pa以下圧力下で行なう。エッチング用ホール21は、A1膜16によって塞がれ、空洞の内部は5Pa以下の圧力になる。

次に、図4Fに示すように、エッチバックにより、A1膜16のうちポリシリコン膜14の上面よりも上に位置する部分を除去し、エッチング用ホール21を塞いでいるA1からなる金属シール部材16aのみを残す。ここで、空洞22の内部に比較的大きな検出部が配置されている場合は、図4Aに示す工程の前に、以下の工程A、Bを行なって、図AAに示す工程においてセンサの検出部を覆うよう、犠牲層（シリコン酸化膜13）を堆積することが好ましい。

工程 A：センサの検出部及び周辺回路部の形成

工程 B：センサの検出部および周辺回路部を覆うポリシリコン膜  
の形成

赤外線は、ポリシリコン膜 14 を透過するが、金属シール部材 1  
5 6a を透過しない。しかし、金属シール部材 16a は、全体として  
は極めて小面積しか占めていないので、現実にはほとんど不具合は  
ない。また、後述するように、図 4E に示す工程におけるエッキン  
グ用ホール 21 の形成位置を、赤外線センサの検出部（図 2 に示す  
10 抵抗体 151）とできるだけオーバーラップしないようにすること  
で、赤外線の検出感度の低下を抑制することができる。

本実施形態によると、図 4E に示す工程で、スパッタ法により、  
エッティング用ホール 21 を塞ぐための Al 膜（金属膜）を堆積する  
ので、CVD 法を用いる場合に比べると低い圧力（つまり高い真空  
度）下でエッティング用ホール 21 を塞ぐことができる。したがって、  
15 空洞 22 の真密度を高く、例えば 5 Pa 以下の圧力に保持するこ  
ができる。よって、空洞 22 内に配置されるセンサの検出部からそ  
の周囲の空間を介しての熱伝導を低減することができ、センサの検  
出感度の向上を図ることができる。

また、本実施形態によれば、エッティング用ホール 21 を塞いだ後  
20 に熱処理を行なう必要がないので、アルミニウム配線等に悪影響を  
及ぼすことなく、センサの感度を向上することができる。更に、本  
実施形態では、エッティング用ホール 21 を塞ぐために金属を用いて  
いるために、CVD 法を用いた場合のような、空洞 22 にガス等を

吸着したポリシリコン膜などがほとんど存在しない。したがって、電子デバイスを使用しているうちに残留ガス等が空洞 22 に放出されて真空度が悪化するような不具合もない。

図 4 F に示す工程では、チャンバー内に Ar ガスを流量 10~30 (m<sup>1</sup>/min) で流しながら、チャンバー内の温度を 400℃ ~ 500℃ に保持してスパッタを行なうことが望ましい。スパッタ時におけるチャンバー内の温度が 400℃ 未満である場合、スパッタされた Al 粒子のリフローの速度が小さくなり、Al 膜の成長速度が小さい部分が生じるため、エッチング用ホールを塞ぐのに過大な時間がかかる一方、スパッタ時の温度が 500℃ を越えると、Al 配線等に悪影響を及ぼすからである。

また、斜め方向スパッタリングを行なわない場合には、スパッタ用ターゲットと基板との間の距離が 10 cm 以下であることが望ましい。スパッタ用ターゲットと基板との間の距離が 10 cm 以上であるロングスロースパッタでは、基板の上面に垂直に入射する金属粒子の割合が増加するので、エッチング用ホールの側壁面に金属膜が堆積される速度が小さくなり、エッチング用ホールの封止にはより大きな時間がかかり、空洞内に侵入する金属粒子の数が増えるからである。

例えば、チャンバー内に Ar ガスを流量 10~30 (m<sup>1</sup>/min) で流しながら、チャンバー内の温度を 400℃ ~ 500℃ に保持し、かつ、スパッタ用ターゲットと基板との間の距離が 10 cm 以下である場合には、斜め方向スパッタでなくても、約 40 秒間で

基板の上面上に約600nmの金属膜が堆積され、同時に径が0.3μmのエッチング用ホールが封鎖される。

スパッタされる金属は、アルミニウム(A1)以外に、タンゲステン(W)、チタン(Ti)、モリブデン(Mo)、銅(Cu)、  
5 タンタル(Ta)、バリウム(Ba)、ストロンチウム(Sr)、白金(Pt)、ルビジウム(Rb)などの他の金属やそれらの化合物があり、いずれの金属を使用することもできる。

現在の0.13μmルールの半導体プロセスにおいては、Cu、Taのスパッタの際には、一般的に数Paの圧力でプラズマを発生  
10 してスパッタリングされる金属をイオン化することによって指向性を高めている。これに対してA1、Ti、Wは、約100mPaという低圧でスパッタリングされる。このため、空洞内の圧力を100mPaという低圧に保ちたい場合には、A1、Ti、Wのスパッタを行なうことが好ましい。赤外線センサなどのそれほど高真空を  
15 要しないセンサの場合には、5Pa以下の圧力でのスパッタリングを行なうことが好ましいが、10Pa以下の圧力でのスパッタであれば、従来の製造方法に比べて十分センサの検出感度の向上を図ることができる。

#### (実施形態2)

20 以下、本発明による第2の実施形態を説明する。

前述した第1の実施形態では、ポリシリコン膜14の上方斜めから金属をスパッタリングすることにより、エッチング用ホール21を金属シール部材16aで封鎖したが、斜め方向からのスパッタリ

ングではなく、垂直方向からのスパッタリングによってもホールの形状を工夫することにより、スパッタリングを利用してエッチング用ホール21を塞ぐことができる。

図5(a)、(b)は、それぞれ、本実施形態に係る電子デバイスの製造工程の一部を示す部分断面図である。図5(a)、(b)は、いずれも図4Eに示す工程において形成されるポリシリコン膜等の構成を示している。

図5(a)に示す変形例に係る電子デバイスのポリシリコン膜14には、テーパ状のエッチング用ホール21aが設けられている。  
この変形例では、スパッタリングされた金属がエッチング用ホール21aのテーパ状の壁面に堆積することで、エッチング用ホール21aが封鎖される。図3(b)に示す変形例に係る電子デバイスのポリシリコン膜14には、段付き形状のエッチング用ホール21bが設けられている。この変形例では、スパッタリングされた金属がエッティング用ホール21bの段付き部の主面に平行な壁面に堆積することで、エッティング用ホールが封鎖される。

図5(a)、(b)に示すいずれの変形例においても、スパッタリングされた金属が、スパッタリングの初期過程で空洞22内に侵入して、センサの検出部12や基板11の上に金属の堆積部16bが形成されることになる。その場合、検出部12が例えば赤外線センサの抵抗体(ボロメータ)である場合には、金属は一般に赤外線を透過させないので、検出感度に影響を与える可能性はある。そこ

で、かかる不具合を回避する手段として、以下のような構成を探ることが好ましい。

第1の手段は、図2に示すような抵抗体151の場合、エッチング用ホールを抵抗体151と赤外線の通過経路上でできるだけオーバーラップしないように設けておくことである。赤外線センサにおいては、レンズ等によって集光された赤外線が検出部に入射されるので、金属が赤外線の通過を塞ぐ位置に存在しなければよいことになる。特に、基板の主面に対して垂直な方向から赤外線の平行光線がセンサの検出部に入射される場合には、平面的にみて抵抗体とエッチング用ホールとがオーバーラップしていなければよいことになる。  
10

図6は、かかる第1の手段を講じた場合の電子デバイスの空洞内部の構造を示す部分横断面図である。図6においては、空洞22の内壁面のみを示し、空洞22を囲むポリシリコン膜の外形の図示は省略されている。また、同図の破線の丸は、エッチング用ホールを塞ぐ金属シール部材16aを示している。同図に示すように、赤外線センサのボロメータである抵抗体31及び支持部材32が空洞22内に配置されている場合、抵抗体31とエッチング用ホールを塞ぐ金属シール部材16aとが赤外線の入射方向からみて互いにオーバーラップしないように構成することにより、赤外線が透過しない金属シール部材16aが設けられることによる検出感度の悪化を防止することができる。  
15  
20

第2の手段は、赤外線センサの検出部である抵抗体を、赤外線が通過しうる程度に薄い酸化膜等の絶縁膜によって覆っておくことである。その場合には、金属がその上に堆積しても、金属が赤外線を吸収して温度上昇することにより、抵抗体の温度も上昇するので、  
5 検出感度に大きな影響を与えることはない。したがって、この場合には、抵抗体がエッチング用ホールを塞ぐ金属膜とオーバーラップしていたとしても、赤外線の検出はその分を差し引いて計算されるので、金属膜が抵抗体と導通していない限り、検出精度にはほとんど影響を与えることはないと考えられる。また、検出感度について  
10 も、赤外線の入射方向からみて、エッチング用ホールを塞ぐ金属膜が抵抗体の平面積の50%程度まで覆う状態にならなければ、それほど影響はないと考えられる。

第2の手段を講ずる場合においても、赤外線センサの検出部の面積を小さく保持しつつ検出感度を高く維持するためには、赤外線の入射方向からみてエッチング用ホールを塞ぐ金属膜が抵抗体の平面積の10%以上を覆わないように設けられていることが好ましい。  
15

### (実施形態3)

図7A～図7Nを参照しながら、本発明による第3の実施形態を説明する。図7A～図7Cは、本実施形態における電子デバイスの製造工程のうち、犠牲層を形成するまでの工程を示す断面図である。  
20 図7D～図7Fは、本実施形態に係る電子デバイスの製造工程のうち、犠牲層を形成してからBPSG膜の平坦化を行なうまでの工程を示す断面図である。図7G～図7Iは、本実施形態に係る電子デ

バイスの製造工程のうち、BPSG膜の平坦化を行なってから保護膜等のパターニングを行なうまでの工程を示す断面図である。図7J～図7Lは、本実施形態に係る電子デバイスの製造工程のうち、保護膜等のパターニングを行なってからエッチング用ホールを形成するまでの工程を示す断面図である。図7M～図7Nは、本実施形態に係る電子デバイスの製造工程のうち、エッティング用ホールを形成してからエッティング用ホールを塞ぐシール部材を形成するまでの工程を示す断面図である。

ここでは、ボロメータ型赤外線センサの製造方法を説明するが、  
10 本実施形態は、他のセンサの製造方法に適用することができる。

まず、図7Aに示す工程で、シリコン基板51の上に周辺回路部52を形成する。この周辺回路部52には、MOSトランジスタやダイオードなどの公知の素子が形成される。

次に、図7Bに示す工程で、CVD法によってシリコン基板51  
15 および周辺回路部52を覆うシリコン酸化膜53を形成する。

図7Cに示す工程で、シリコン酸化膜53上にポリシリコン膜を堆積した後、これをパターニングして第1犠牲ポリシリコン層55を形成する。この第1犠牲ポリシリコン層55は、後の工程で除去されて下部空洞の形状を規定するものである。

図7Dに示す工程で、CVD法により、基板51の全体を覆うシリコン酸化膜56を形成した後、シリコン酸化膜56の上面を平坦化する。この平坦化は、CMPまたはエッチバックなどの方法を用いる。

図7Eに示す工程で、シリコン酸化膜56上にポリシリコン膜を堆積した後、これをパターニングすることによりボロメータとして機能する抵抗体57を形成する。この抵抗体57は、図11に示すような抵抗体31の平面形状と同様の平面形状を有している。なお、  
5 抵抗体57としては、ポリシリコンの他にチタン(Ti)などの金属を用いることができる。

図7Fに示す工程で、シリコン酸化膜56および抵抗体57を覆うBPSG(ボロフォスフォ・シリケートガラス)膜59を堆積した後、リフローによる平坦化を行なう。BPSG膜59はA1配線  
10 と周辺回路部52や抵抗体57との間を電気的に絶縁するために設けられるので、BPSG膜59に代えて、他の絶縁膜を用いることもできる。

次に、図7Gに示す工程で、周辺回路部52の素子および抵抗体  
15 57にそれぞれ到達するコンタクトホールをBPSG膜59に形成した後、各コンタクトホールの内部およびBPSG膜59上にA1合金膜を堆積する。この後、A1合金膜をパターニングして、抵抗体57と周辺回路部52の素子とを接続するA1配線60を形成する。

図7Hに示す工程で、A1配線60およびBPSG膜59を覆う  
20 窒化シリコンからなる保護膜62を形成する。

図7Iに示す工程で、保護膜62、BPSG膜59およびシリコン酸化膜56を貫通して、第1犠牲ポリシリコン層55に到達する溝63を形成する。このときの溝63の平面レイアウトを図8に示

す。溝63は、A1配線60を横切らないように形成される。

図7Jに示す工程で、ホール63内および保護膜62上にポリシリコン膜を堆積した後、ポリシリコン膜をパターニングすることにより、厚さが約 $1\text{ }\mu\text{m}$ の第2犠牲ポリシリコン層65を形成する。

5 この第2犠牲ポリシリコン層65は、後に第1犠牲ポリシリコン層55とともに除去され、上部空洞の形状を規定する。

図7Kに示す工程で、CVD法によって第2犠牲ポリシリコン層65および保護膜62を覆う厚さ約 $2\text{ }\mu\text{m}$ のシリコン酸化膜64を堆積した後、CMP等により、シリコン酸化膜64の上面を平坦化10する。

図7Lに示す工程で、シリコン酸化膜64を貫通して第2犠牲ポリシリコン層65に到達する多数のエッチング用ホール66を形成する。エッチング用ホール66の直径は例えば $0.3\text{ }\mu\text{m}$ 以上である。

15 図7Mに示す工程で、エッチング用ホール66からCF<sub>4</sub>ガスを第2犠牲ポリシリコン層65および第1犠牲ポリシリコン層55に導入し、第1、第2犠牲ポリシリコン層55、65を除去する。この処理により、赤外線センサの赤外線検出部である抵抗体57およびこれを支持する支持部材67の上方には上部空洞68が形成され、20それらの下方には下部空洞69が形成される。すなわち、抵抗体57および基板51が支持部材67の支柱67aのみでつながった状態となり、抵抗体57がシリコン基板51とほぼ断熱された状態となる。

図7Nに示す工程で、基板51に対して斜めの方向からのスパッタにより、エッチング用ホール66の内部およびシリコン酸化膜24の上面にAl膜70を堆積する。このとき、スパッタは10Pa以下の圧力で行なわれる。10Paを超えると、空洞内の断熱性が5 不充分になる。エッチング用ホール66の大きさが例えば0.3μmの場合、Al膜70の厚さは、例えば2.0μmに設定できる。直径が0.3μmの大きさのエッチング用ホール66を塞ぐためには、Al膜70の厚さは1.7μm以上である必要がある。また、エッチング用ホール66が大きくなれば、それに応じてスパッタ法10 で堆積するAl膜70を厚くする必要がある。

本実施形態によると、図7Nに示す工程において、エッチング用ホール66を塞ぐためのAl膜（金属シール部材）をスパッタ法によって堆積するため、CVD法を用いる場合に比べると、より低い圧力（高い真密度）下でエッチング用ホール66を塞ぐことができる。したがって、上部空洞68および下部空洞69の真密度を高く15 保持することができる。とくに、5Pa以下の圧力のスパッタによってエッチング用ホールを封鎖した場合には、上部空洞68および下部空洞69の圧力を5Pa以下の圧力に保持することができる。その結果、上部空洞68および下部空洞69の間に配置されるセンサの検出部からその周囲の空間を介しての熱伝導を低減することができ、センサの検出感度を従来例に比べて約3倍以上に向上することができる。しかも、従来の製造工程のごとく、エッチング用ホールを塞ぐポリシリコン膜を堆積した後の熱処理を行なう必要がない20

ので、アルミニウム配線等に悪影響を及ぼすことなく、センサの感度を向上することができる。

図7Oに示すように、エッチバックし、金属シール部材7Oaでエッティング用ホール66を塞ぐ。

5 本実施形態では、エッティング用ホール66を塞ぐために金属を用いているために、CVD法を用いた場合のような、上部空洞68及び下部空洞69にガス等を吸着したポリシリコン膜などがほとんど存在しない。したがって、電子デバイスを使用しているうちに残留ガス等が各空洞68、69に放出されて真空度が悪化するような不  
10 具合もない。

本実施形態の赤外線センサの製造工程において、赤外線センサのボロメータ（抵抗体57）及び支持部材67を封入する壁部が酸化シリコンや窒化シリコンによって構成され、犠牲層がポリシリコンによって構成されているので、以下のような利点もある。犠牲ポリ  
15 シリコン層55、65をエッティングするためには、CF<sub>4</sub>ガスを用いるが、酸化膜や窒化膜はポリシリコン層に比べてCF<sub>4</sub>ガスによるエッティングレートが小さい。このため、赤外線センサの検出部である抵抗体57を支持している酸化膜や窒化膜（支持部材67の構成材料）がCF<sub>4</sub>ガスによって除去されないので、酸化膜や  
20 窒化膜の周囲にエッチストップ層を設ける必要がない。このため、赤外線センサの検出部を空洞内に設ける場合のプロセスフローが簡単になる。

なお、本実施形態においては、犠牲ポリシリコン層55、56をエッチングする際に $\text{CF}_4$ ガスを用いる例を示したが、 $\text{CF}_4$ ガスの代わりにKOHやTMAHなどのエッチング液や、XeFなどのエッチングガスを用いててもよい。特に、エッチング液を用いる場合には、犠牲ポリシリコン層55、56とシリコン酸化膜との高いエッチング選択比を保持することができる。

図7Nに示す工程では、チャンバー内にArガスを流量10～30( $\text{m l/min}$ )で流しながら、チャンバー内の温度を400℃～500℃に保持してスパッタを行なうことが望ましい。また、スパッタ時におけるチャンバー内の温度が400℃未満である場合、スパッタされたAl粒子のリフローの速度が小さくなり、Al膜の成長速度が小さい部分が生じるため、エッチング用ホールを塞ぐのに過大な時間がかかる一方、スパッタ時の温度が500℃を越えると、Al配線60等に悪影響を及ぼすからである。

また、斜め方向スパッタリングを行なわない場合には、スパッタ用ターゲットと基板との間の距離が10cm以下であることが望ましい。スパッタ用ターゲットと基板との間の距離が10cm以上であるロングスロースパッタでは、基板の上面に垂直に入射する金属粒子の割合が増加するので、エッチング用ホールの側壁面に金属膜が堆積される速度が小さくなり、エッチング用ホールの封止にはより大きな時間がかかり、空洞内に侵入する金属粒子の数が増えるからである。

例えば、チャンバー内にArガスを流量10～30(m<sup>1</sup>/min)で流しながら、チャンバー内の温度を400℃～500℃に保持し、かつ、スパッタ用ターゲットと基板との間の距離が10cm以下である場合には、斜め方向スパッタでなくても、約40秒間で5基板の上面に約600nmの金属膜が堆積され、同時に径が0.3μmのエッチング用ホールが封鎖される。

図7Nに示す工程において、スパッタリングされる金属は、アルミニウム(Al)以外に、タンクステン(W)、チタン(Ti)、モリブデン(Mo)、銅(Cu)、タンタル(Ta)、バリウム(Ba)、ストロンチウム(Sr)、白金(Pt)、ルビジウム(Rb)などの他の金属やそれらの化合物があり、いずれの金属を使用することもできる。

現在の0.13μmルールの半導体プロセスにおいては、Cu、Taのスパッタの際には、一般的に数Paの圧力でプラズマを発生してスパッタリングされる金属をイオン化することによって指向性を高めている。これに対してAl、Ti、Wは、約100mPaという低圧でスパッタリングされる。このため、空洞内の圧力を100mPa程度の低圧に保ちたい場合には、Al、Ti、Wのスパッタを行なうことが好ましい。赤外線センサなどのそれほど高真空を要しないセンサの場合には、5Pa以下の圧力でのスパッタリングを行なってもよい。また、10Pa以下の圧力でのスパッタであれば、従来の製造方法に比べて十分センサの検出感度の向上を図ることができる。

本実施形態においても、斜め方向スパッタの際の傾き角の適正範囲については第1の実施形態と同様に規定することができ、エッチング用ホールの形状については、第1の実施形態及びその変形例と同様にエッチング用ホールの形状については考えることができる。

5 (実施形態4)

以下、本発明による第4の実施形態を説明する。

一般に、スパッタによって堆積される薄膜のステップカバレッジはあまり高くないので、斜め方向スパッタでない場合には、エッチング用ホールの側壁上への金属膜の堆積レートは、基板の上面上への堆積レートより小さい。すなわち、エッチング用ホールを金属シール部材によって塞ぐためには、アスペクト比が1よりも大きいことが好ましい。しかし、シリコン酸化膜64が厚いほどシリコン酸化膜64による赤外線の吸収量が大きくなるので、赤外線センサの感度が低下することになる。

15 したがって、赤外線センサの感度を高く維持し、かつ、エッチング用ホールを金属シール部材で塞ぎやすくするために、エッチング用ホールを小さくすることも考えられる。しかしながら、エッチング用ホールを小さくすると、犠牲ポリシリコン層をエッチングする際の効率が悪化するおそれがある。そこで、本変形例においては、  
20 犠牲ポリシリコン層のエッチングを行なう際の効率を向上するための方法について説明する。

図9は、本実施形態に係る赤外線センサの図7Jに示す工程に相当する工程における構造を示す図である。本実施形態における赤外

線センサの最終的な構造は、図7Oに示す第3の実施形態の赤外線センサとほとんど同じであるが、以下の点において異なる。

本実施形態においては、第3の実施形態における図7Jに示す工程において、シリコン酸化膜64にエッティング用ホール66を形成する際に、第2犠牲ポリシリコン層65の側部に接触する側部エッティング用ホール66aを形成する。この側部エッティング用ホール66aを形成することにより、第2犠牲ポリシリコン層65にその側面からもエッチャントが導入されるので、第2犠牲ポリシリコン層65のエッティング効率が高くなる。したがって、他のエッティング用ホール66の径を小さくしても、第2犠牲ポリシリコン層65及び第1犠牲ポリシリコン層55のエッティング効率の低下を招くことはない。したがって、シリコン酸化膜64の厚みはそのままにした場合には、エッティング用ホール66をより速やかに金属シール部材で塞ぐことができる。あるいは、シリコン酸化膜64のうち第2犠牲ポリシリコン層65の上方に位置する部分の膜厚を薄くして、赤外線センサの感度を高くすることもできる。

一方、側部エッティング用ホール66aは、シリコン酸化膜64を貫通して保護膜62の表面部に達している。したがって、側部エッティング用ホール66aは貫通孔ではないので、後に金属のスパッタによってエッティング用ホール66を塞ぐ工程（図7Nに示す工程）では、側部エッティング用ホール66aの底面と側面との双方に堆積する金属によって、比較的容易に側部エッティング用ホール66aを塞ぐことが可能である。また、上部空洞65の側面に金属膜が堆積

5

しても、赤外線センサ等のセンサの感度や性能に悪影響をほとんど及ぼすことはないので、側部エッティング用ホール 66 a の径を他のエッティング用ホール 66 よりも大きくしてもよい。さらに、側部エッティング用ホール 66 a に代えて、エッティング用溝を、第 2 犠牲ポリシリコン層 65 の側面に沿って形成してもよい。また、側部エッティング用ホール 66 a（またはそれに代わるエッティング用溝）は、保護膜 62 に達している必要はなく、シリコン酸化膜 64 の上部だけを掘り込んでいてもよい。

10

#### （実施形態 5）

以下、本発明による第 5 の実施形態を説明する。

本実施形態においては、犠牲ポリシリコン層のエッティングを行なった後のエッティング用ホールを塞ぐ工程を、CVD 法とスパッタ法とを併用して行なう方法について説明する。

15

図 10 A～図 10 C は、本実施形態に係る赤外線センサの図 7 M～図 7 N に相当する製造工程を示す断面図である。

20

本実施形態では、図 10 A に示す工程において、エッティング用ホール 66 から CF<sub>4</sub> ガスを第 2 犠牲ポリシリコン層 65 及び第 1 犠牲ポリシリコン層 55 に導入し、第 1 、第 2 犠牲ポリシリコン層 55 、 65 を除去する。この処理により、赤外線センサの赤外線検出部である抵抗体 57 及びこれを支持する支持部材 67 の上方には上部空洞 68 が形成され、それらの下方には下部空洞 69 が形成される。つまり、抵抗体 57 及び支持部材 67 が、支持部材 67 の支

柱 67a のみでつながった状態となり、抵抗体 57 がシリコン基板 51 とほぼ断熱された状態となる。

次に、図 10B に示す工程で、CVD により、例えば厚み 50 nm 程度のポリシリコン膜 71 を露出している表面上に堆積する。この処理によって、エッチング用ホール 66 の開口面積が狭くなる。  
5

次に、図 10C に示す工程で、スパッタにより、エッチング用ホール 66 内及び基板の上面上に A1 膜 70 を堆積する。このとき、スパッタは 10 Pa 以下の範囲の低圧下で行なわれる。これにより、エッチング用ホール 66 は A1 膜 70 によって封鎖される。

10 その後の工程の図示は省略するが、図 7O に示す工程と同様に、A1 膜 70 のエッチバックを行なうことにより、A1 膜 70 のうち基板の上面上の部分を除去し、エッチング用ホール 66 内のみに金属シール部材を残す。

本実施形態によると、図 10A に示す工程では、比較的大きいエッチング用ホール 66（例えば 0.35 μm 径）を用いて、第 1、第 2 牺牲ポリシリコン層 55、65 の除去を迅速かつ確実に行なうことができるとともに、図 10C に示す工程では、小さくなったエッチング用ホール 66（例えば 0.3 μm 径）を A1 によって短時間で塞ぐことができる。また、図 10C に示す工程の後においても、  
15 A1 膜 70 エッチバックの時間が短くなる効果がある。  
20

なお、各空洞 68、69 内の壁面や支持部材 67 の表面上にポリシリコン膜 71 が堆積しても、このポリシリコン膜 71 は赤外線を通過させてるので、赤外線センサの感度には影響がない。また、ポリ

シリコン膜71に代えてシリコン酸化膜を堆積した場合でも、厚みが十分薄い（例えば50nm程度）場合には、赤外線センサの感度にほとんど影響を与えることはない。

(実施形態6)

5 以下、本発明による第6の実施形態を説明する。

図11は、本実施形態に係る赤外線センサの図7Jに示す工程に相当する工程における構造を示す図である。本実施形態における赤外線センサの最終的な構造は、図7Oに示す赤外線センサとほとんど同じであるが、以下の点において異なる。

10 本実施形態においては、図7Jに示す工程において、シリコン酸化膜64を堆積した後、CMP等により、シリコン酸化膜64の上面が第2犠牲ポリシリコン層65の上面と同じ高さ位置になるまで、シリコン酸化膜64を平坦化する。その後、CVDにより、基板の全面上に厚みが50nm程度のシリコン酸化膜73と厚みが500nm程度のポリシリコン膜74とを順次堆積した後、ポリシリコン膜74に径が0.4μm程度の比較的大きい開口を形成する。さらに、CVDにより、基板の全面上に、厚み50nm程度のシリコン酸化膜75を堆積した後、シリコン酸化膜75、73のうちポリシリコン膜74の開口に位置する部分を除去することにより、第2犠牲ポリシリコン層65に達するエッチング用ホール66を形成する。  
15 例えれば以上のプロセスにより、図11に示す構造が形成される。ただし、以上の説明とは異なるプロセスによっても、図11に示す構造を得ることはできる。  
20

本実施形態によると、第1、第2犠牲膜55、65のエッチングを行なう際のエッチング用ホール66を囲む輪郭部全体をシリコン酸化膜で構成するのではなく、ポリシリコン膜74をシリコン酸化膜73、75によって覆う構造とする。この場合、第2の実施形態に比べると、赤外線を吸収するシリコン酸化膜の厚みが大幅に薄くなる（この例では、合計100nm）ので、赤外線センサの感度の低下を抑制することができる。一方、ポリシリコン膜74の周囲はシリコン酸化膜73、75によって覆われているので、第1、第2犠牲ポリシリコン層55、65のエッチングには、何ら支障をきたさない。

第1、第2の実施形態及びその各変形例においては、本発明を赤外線センサに適用した例について説明したが、本発明が適用される電子デバイスには、赤外線センサの他、圧力センサ、加速度センサ、流速センサ、真空トランジスタなどがある。赤外線センサは、ボロメータ、焦電型センサ、サーモパイイルなどの熱形と、PbS、InSb、HgCdTeなどを用いた量子形とに大別される。ボロメータには、ポリシリコン、Ti、TiON、VO<sub>x</sub>などの抵抗変化を利用したものがある。さらにはPNダイオードなどの順方向電流の過渡特性を利用したものがある。サーモパイイルには、PN接合部に生じるゼーベック効果を利用したものがある。焦電型赤外線センサには、PZT、BST、ZnO、PbTiO<sub>3</sub>などの材料の焦電効果を利用したものがある。また、これらの材料の誘電率変化を利

用したものがある。量子型赤外線センサは、電子励起によって流れ  
る電流を検出するものである。たとえば、ゼーベック効果によって  
赤外線を検出するクロメル・アルメル熱電対 (Chromel-Al  
umel Thermocouple) を有する赤外センサ等が  
5 ある。

これらの赤外線センサは、赤外線検出感度ひいては赤外線検出精  
度を高く維持するためには、赤外線検出部からの熱放散が小さいこ  
とが好ましいものである。そして、キャップ体中で真空雰囲気又は  
不活性ガス雰囲気中に封入すると特性が向上する特性を有している。  
10 また、圧力センサ、加速度センサには、空気の粘性抵抗を減少さ  
せると感度が向上するので、キャップ体中で真空雰囲気又は不活性  
ガス雰囲気に封入すると特性が向上することが知られている。

上記の各実施形態においては、本発明のシール部材として A1 か  
らなる金属シール部材を用いているが、本発明のシール部材として  
15 は A1 以外の金属や、ポリシリコンなどのスパッタリングが可能な  
導体材料を用いることができる。

#### (実施形態 7)

以下、図面を参照しながら、本発明による第 7 の実施形態を説明  
する。  
20 本実施形態の電子デバイスは、赤外線検出部および可視光検出部  
の両方が同一基板上に集積されたイメージセンサである。赤外線検  
出部および可視光検出部を備えたイメージセンサの構成例は、例え  
ば特開 2003-17672 号公報に開示されている。

5

半導体プロセスを用いて赤外線検出部および可視光検出部の両方を同一基板上に配列することにより、製造コストの低減と装置の小型化が可能になる。赤外線のイメージセンサと可視光のイメージセンサとを別々の基板上に作成した場合は、その後に光学アライメントを正確に行うことや、赤外線イメージと可視光イメージとの間のズレを補正することが必要であるが、両者を同一基板（1チップ）上に集積する本実施形態によれば、そのような問題を解決することができる。

10

本実施形態の電子デバイスは、図12(a)および(b)に示すように、シリコン基板160と、シリコン基板160上において行および列からなるマトリクス状（アレイ状）に配置された複数の赤外線検出部161および可視光検出部162と、読み出し回路部とを備えている。読み出し回路は、垂直走査レジスタ164および水平走査レジスタ165から構成されている。

15

シリコン基板160上に配列された複数の赤外線検出部161は、それぞれ、個別のマイクロ真空パッケージ部163で覆われている。なお、図12(a)では、わかりやすさのため、マイクロ真空パッケージ163を、薄膜堆積、フォトリソグラフィ、およびパターニング技術などの半導体プロセスを用いて形成した前述の空洞部とは異なるパッケージ型部材として記載しているが、本実施形態でも、前述の各実施形態のように半導体プロセスを用いて空洞部を形成している。

図12(a)および(b)は、各部の配置関係を模式的に示した

ものであり、現実の電子デバイスの構成の具体的な形状やスケールを正確には表現していない。実際の赤外線検出部 161 は、所定の感度を発揮するように可視光検出部 162 よりも大きく（例えば 50  $\mu\text{m}$  程度のサイズに）設計されることが好ましい。赤外線検出部 161 のサイズが可視光検出部 162 のサイズよりも格段に大きくなる場合、赤外線検出部 161 および可視光検出部 162 の好ましい配置レイアウトは、図 1 に示すレイアウトに一致しない。

図 13 は、図 12 (a) および (b) に示される赤外線検出部 161 の代表例について、その構成を模式的に示す斜視図である。この赤外線検出部 161 は、赤外線吸収部 166 と、マイクロヒータ部 167 と、マイクロヒータ支持部 168 とを備えており、これらは空洞 163' の内部に形成されている。

マイクロヒータ部 168 は、抵抗変化材料から形成された抵抗体であり、本実施形態では 2 つの機能を併せ持つ。第 1 の機能は、抵抗変化によって温度を検出する機能であり、第 2 の機能は、ジュール熱によって発熱する機能である。後述するように、マイクロヒータ部 167 の温度検出機能によって赤外線の入射量を検出し、マイクロヒータ部 167 の発熱機能および温度検出機能の組み合わせによって空洞内の真空度（圧力）を検出することができる。

マイクロヒータ部 167 は、例えば、シリコンなどの半導体、TiO<sub>x</sub> (チタニア) や VO<sub>x</sub> (酸化バナジウム) などの金属酸化物、または、Ti (チタン) や Pt (白金) などの金属またはそれらの金属珪化物から形成され得る。これらの材料には、抵抗変化係数が

大きい材料として知られており、優れた温度検出機能を発揮し得る。また、これらの材料にB、As、Sr、Cuなどの不純物を混入してもよい。例えばBをドープしたポリシリコンや、SrをドープしたTiOは、これらの不純物ドーピングレベルを調節することにより、電気抵抗値を適当な値に制御することが可能である。  
5

好ましい実施形態におけるマイクロヒータ部167の平面サイズは、1 mm×1 mmの矩形領域内に収まる大きさである。マイクロヒータ部167の平面レイアウトの好ましい一例は、図14に示すように、50 μm×50 μmの矩形領域内に含まれる蛇行パターンを有している。これは、比較的狭い占有面積で相対的に長い抵抗体パターンを形成するためである。  
10

本実施形態のマイクロヒータ部162は、図13に示すように、マイクロヒータ支持部168により、シリコン基板160（図12（a））の表面から離れた位置（たとえば1 μmだけ高い位置）に保持されている。  
15

マイクロヒータ部167の平面サイズを規定する矩形領域の一が1 mmを超えて大きくなると、マイクロヒータ部167に生じる歪みも大きくなるため、マイクロヒータ部167と基板160との距離を更に大きくすることが必要になる。したがって、マイクロヒータ部167を大きく設計することは、電子デバイスの小型化に反することになるため、好ましくない。マイクロヒータ部167は1 mm×1 mmの矩形領域の収まる大きさに設計することが好ましい。このように小さなマイクロヒータ部167は、薄膜堆積技術によっ  
20

て上記機能を発揮しえる材料の薄膜を堆積した後、この薄膜をフォトリソグラフィおよびエッチング技術のよって所望の形状にパターンングすることによって得られる。薄膜の厚さは、例えば 50 nm ~ 1 μm の範囲に設定される。

5 赤外線吸収部 166 は、赤外線を吸収し得る材料、例えば SiO<sub>2</sub> から形成される。このような材料から形成された赤外線検出部 166 は、赤外線の照射を受けると、赤外線を吸収して発熱する。その結果、赤外線吸収部 166 の温度は上昇し、それに伴ってマイクロヒータ部 167 の温度も上昇する。マイクロヒータ部 167 は、  
10 抵抗変化材料によって形成されているため、温度上昇に従って電気抵抗が変化する。この電気抵抗の変化を図 12 (a) および (b) に示す読み出し回路（垂直走査レジスタ 164、水平走査レジスタ 165）によって読み出し、検知することによって赤外線の照射量を知ることができる。

15 マイクロヒータ支持部 168 は、図 13 に示すように、長さに比べて断面積が相対的に小さい柱状にパターンングされた絶縁物によってマイクロヒータ部 167 を基板表面から離間している。マイクロヒータ支持部 168 の熱伝導性は低く、マイクロヒータ部 167 と基板 160 との間の熱コンダクタンスは小さい。これにより、赤  
20 外線入射時におけるマイクロヒータ部 167 の温度上昇を大きくすることができ、赤外線の検出感度が向上する。

マイクロヒータ支持部 168 と基板 160 との間の熱コンダクタンスは、マイクロヒータ支持部 168 の形状および材料が決まると、

あらかじめ計算によって求めることが可能である。マイクロヒータ支持部 168 が、例えば図 15 に示すように、断面積  $3 \times 3 \mu\text{m}^2$ 、長さ約  $50 \mu\text{m}$  の 2 本の柱によって支えられた一辺約  $50 \mu\text{m}$  の正方形のプレート形状を有し、 $\text{Si}_3\text{N}_4$  から形成されている場合、  
5 熱コンダクタンスは  $3 \times 10^{-7} \text{W/K}$  と計算される。図 15 に示すような小型のマイクロヒータ支持部は、MEMS (Micro Electro Mechanical Systems) の技術を用いて製造できる。

図 12 (a) および (b) に示す可視光検出部 162 は、例えば  
10 フォトダイオードから構成され、可視光の入射量に応じて生じる電流または電圧を測定することによって可視光の入射量を検出することができる。本実施形態の可視光検出部 162 は、シリコン基板 1  
15 60 の表面の選択された領域に不純物をドープすることによって好適に形成される。可視光検出部 162 は、読み出し回路をシリコン基板上に形成する工程、あるいは読み出し回路を形成する工程の前または後に行なう工程によって形成され得る。可視光検出部 162 は、ある好ましい実施形態では、赤外線検出部 161 の作製工程の前に形成される。  
15

本実施形態では、半導体プロセスによって赤外線検出部 161 および可視光検出部 162 を同一シリコン基板上に形成するため、赤外線および可視光に対する 1 チップ化されたイメージセンサを低成本で提供することが可能である。

赤外線検出部 161 および可視光検出部 162 にそれぞれ入射し

た赤外線および可視光の強さは、各検出部で電気信号に変換され、読み出し回路（164、165）によって順次読み出される。赤外線検出部161および可視光検出部162は、同一基板上にマトリクス状に配列されているため、赤外線イメージおよび可視光イメージに対応した電気信号を得ることができる。マトリクス状に配列された光検出部による撮像方法は、例えば特開平11-326037号公報に詳しく開示されている。

本実施形態のマイクロ真空パッケージ部は個々の赤外線検出部161を覆い、その内部は減圧された状態（例えば50mTorr程度）に保たれている。赤外線検出部161の雰囲気ガスの圧力を低くすることにより、マイクロヒータ部167と基板160との間の熱コンダクタンス、およびマイクロヒータ部167と外部雰囲気との間の熱コンダクタンスを低減し、赤外線検出感度を向上することができる。

各真空パッケージは、種々の形態をとり得るが、例えば、図15に示すようマイクロヒータ支持部168を含みえる大きさの内部空間を有しており、内部空間の高さは、例えば3～1000μm程度に設定されえる。

マイクロ真空パッケージ部は、一般には特開平11-326037に開示されている方法で作製され得る。すなわち、あらかじめ用意したキャップ体と基板の両方の対向面に例えば金属からなる環状の接合面を形成した後、それらを高真空中で圧着して作製することが可能である。しかし、本発明のように半導体プロセス（薄膜堆積、

フォトリソグラフィ、およびエッチングなど)によって空洞を作製すれば、製造コストを低くし、かつ、装置の小型化が可能になる。

(真空度の検出方法)

次に、本実施形態におけるマイクロ真空パッケージの内部圧力  
5 (真空度) 検出方法の一例を説明する。

本実施形態のマイクロヒータ部 167 は前述のように抵抗変化材  
料から形成されているので、マイクロヒータ部 167 の電気抵抗は、  
その温度に応じて変化する。このため、外部からマイクロヒータ部  
167 に電流を流すことによってマイクロヒータ部 167 の電気抵  
抗を測定すれば、マイクロヒータ部 167 の温度を求めることがで  
10 きる。

一方、赤外線が照射されていない状態でマイクロヒータ部 167  
の電気抵抗（所定温度での値）および電流を測定する。この電気抵  
抗および電流の測定値を用いると、ジュールの法則からマイクロヒ  
15 テータからの単位時間あたりの発熱量 Q を計算できる。すなわち、  
マイクロヒータ部 167 の測定された電気抵抗を R (オーム)、マ  
イクロヒータ部 167 を流れる電流を I (アンペア) とすると、下  
記の式から、Q を算出することができる。

$$Q = I^2 R \text{ (ワット)}$$

20 このため、マイクロヒータ部 167 を流れる電流 I および電気抵  
抗 R を測定すれば、マイクロヒータ部 167 からの発熱量 Q を知る  
ことができる。ここで、マイクロヒータ部 167 に電流を流していく  
ときのマイクロヒータ部 167 の温度を T、基板 160 の温度を

TO、マイクロヒータ部167と外部との間の熱コンダクタンスをgとする。このとき、以下の関係式が成立する。

$$(T - TO) \times g = Q$$

マイクロヒータ部167と外部との間の熱コンダクタンスをgは、  
5 以下に示すように、マイクロヒータ支持部168を通して流れる熱  
に関する熱コンダクタンス $g_s$ と、真空パッケージ内部の雰囲気ガ  
スを通して流れる熱に関する熱コンダクタンス $g_A$ との和である。

$$g = g_s + g_A$$

上記2つの式から、次の関係式が得られる。

$$10 (T - TO) \times (g_s + g_A) = Q$$

この式を変形すると、下記の式が得られる。

$$g_A = Q / (T - TO) - g_s$$

この式の右辺のパラメータのうち、Qはマイクロヒータ部167  
を流れる電流Iおよび電気抵抗Rから算出される。また、 $g_s$ はあ  
らかじめ測定された定数であり、基板温度TOは室温程度の定数と  
15 して扱える。このため、温度Tを測定することにより、計算によっ  
て $g_A$ を求めることができる。

一方、雰囲気ガスを介した熱コンダクタンス $g_A$ と雰囲気ガスの  
圧力との関係はシミュレーションまたは実験によって求めることが  
可能である。このため、雰囲気ガスを介した熱コンダクタンス $g_A$   
が求まれば、マイクロ真空パッケージの内部の力を知ることができ  
20 る。

なお、雰囲気ガスを介した熱コンダクタンス $g_A$ と雰囲気ガスの

圧力との関係を実験によって求めるには、例えば図16に示すようにマイクロ真空パッケージに小さな開口を設けた試験用デバイスを用意し、この試験用デバイスを真空チャンバー内に配置すればよい。  
5 マイクロ真空パッケージに設けた開口を介して、マイクロ真空パッケージの内外における圧力差がなくなる。このため、真空チャンバーの内部圧力を変化させつつ、上記の式から  $g_A$  を求め、  $g_A$  の圧力依存性を決定すればよい。

次に、図17Aから図17Dを参照しながら、本実施形態で好適に用いられるマイクロヒータ部167の具体的構成の一例を説明する。  
10

図17Aは、矩形の空洞（マイクロ真空パッケージ）内に形成されたマイクロヒータ部167を示す斜視図である。図17Bは、X-Z面に平行な面で切り取った断面図であり、図17CはYZ平面に平行な面で切り取った断面図である。図17Dは、XY平面に平行な面におけるレイアウトを示す図である。  
15

図17Bから図17Dに示されるように、幅 $20\text{ }\mu\text{m}$ 程度、高さ $3\text{ }\mu\text{m}$ 程度、長辺長さ $100\text{ }\mu\text{m}$ 程度の直方体状の空洞内に形成されたブリッジ（マイクロヒータ部とマイクロヒータ支持部を兼ねる部材）を備えている。ブリッジの厚さは $1\text{ }\mu\text{m}$ 程度、幅は $8\text{ }\mu\text{m}$ 程度であり、空洞163'の略中央部を長辺方向に沿って伸びている（長さ： $100\text{ }\mu\text{m}$ 程度）。  
20

本実施形態におけるブリッジは不純物（ボロンなどのドーパント）がドープされたシリコンから形成されており、ブリッジの選択

された領域（2本の平行な直線領域）には不純物が他の領域よりも高い濃度にドープされ、低抵抗化されている。線状に延びる低抵抗の高濃度不純物領域の一端は、一対のアルミニウムの電極パッドの一方と電気的に接続され、導体配線と同様の機能を発揮する。一対のアルミニウム電極パッド間に所定の電圧を与えると、ブリッジにおいて相対的に不純物濃度の低い部分をブリッジの短辺方向に沿って電流が流れる。  
5

図18は、図17Aから図17Dに示すマイクロヒータ部における電気抵抗と真空度（圧力）との関係の一例を示すグラフである。  
10 このグラフからわかるように、圧力の増加に応じてマイクロヒータ部を流れる電流が減少している。このことは、圧力の増加に応じてマイクロヒータ部の温度上昇が少なくなり、その結果、マイクロヒータ部の電気抵抗の減少が少なくなることを意味している。

なお、図17Aから図17Dは、マイクロヒータ部167における抵抗体の長さおよび幅の一例を示しており、現実のマイクロヒータ部の構成は、この図に示すものに限定されない。  
15

本実施形態のマイクロヒータ部167は、真空度の測定に用いられるだけではなく、赤外線照射量の測定にも用いられる。このようにマイクロヒータ部で赤外線を検出する場合には、受光面積を大きくする目的でマイクロヒータ部につづら状のパターンを付与することが望ましい。  
20

図18に示すような電流（電気抵抗）と真空度との関係を用いると、マイクロヒータ部の電流（電気抵抗）を測定することにより、

マイクロ真空パッケージ内部（空洞内部）の真空度（圧力）をリアルタイムで求めることができる。

次に、図19から図33を参照しながら、マイクロヒータ部およびマイクロ真空パッケージの製造方法を説明する。図19から図3  
5 3における（c）は、基板の主要部を示す平面図であり、（a）は、そのA—A' 線断面図であり、（b）は、そのB—B' 線断面図である。

まず、図19に示すように、シリコン基板160上に読み出し回路部（トランジスタなど）を形成する。読み出し回路部は、好ましくは、シリコン基板上に集積されたCMOS回路から構成され、公  
10 知の半導体集積回路製造技術によって作製される。このあと、図示していないが、可視光検出部をシリコン基板160上に形成する。

次に、図20に示すように、CVD法などの薄膜堆積技術により、シリコン基板160の上面全体を覆うようにシリコン酸化膜（厚  
15 さ：例えば100nm）170を堆積する。

この後、図21に示すように、赤外線検出部が形成される領域に厚さ1μm程度のポリシリコン層171を形成する。このポリシリコン層171は、例えばCVD法によってシリコン酸化膜170上にポリシリコン膜を堆積した後、フォトリソグラフィおよびエッチング技術により、このポリシリコン膜をパターニングして作製することができる。このポリシリコン層171は、最終的にはエッティングによって除去される「第1の犠牲層」として機能する。図21に示す例では、ポリシリコン層171は、矩形の平面形状を有してお

り、このポリシリコン層171の上方にマイクロヒータ部が形成されることになる。

次に、図22に示すように、ポリシリコン層171を覆うように第2のシリコン酸化膜172を堆積した後、第2のシリコン酸化膜  
5 172の上面を平坦化する。この平坦化は、ポリシリコン層（第1の犠牲層）171の上部に厚さ250nm程度のシリコン酸化膜171が残るように行う。ポリシリコン層（第1の犠牲層）171の上部に位置するシリコン酸化膜172は、ポリシリコン層（第1の犠牲層）をエッチングする工程でマイクロヒータ下部のエッチスト  
10 ップ層として機能する。

次に、図23に示すように、赤外線検出部の形成領域にB（ポロン）がドープされたポリシリコンからなるマイクロヒータ部173を形成する。このマイクロヒータ部173は、例えば第2のシリコン酸化膜172上に第2のポリシリコン膜を堆積し、この第2のポリシリコン膜にBイオンを注入した後、フォトリソグラフィおよび  
15 エッチング技術によって第2のポリシリコン膜をパターニングすることによって作製される。第2のポリシリコン膜の堆積とBイオンの注入を別々に行う代わりに、第2のポリシリコン膜の堆積中にポリシリコンの原料となるシランガスなどにドーパントガスを添加してもよい。また、第2のポリシリコン膜にドープする不純物はBに  
20 限定されない。

この後、第2のポリシリコン膜の選択された領域にBF<sub>2</sub>などのイオンを注入することによって、この注入領域のドーピングレベル

を相対的に高め、電気抵抗率（比抵抗）を減少させる。こうして、図17Dなどに示すような抵抗体として機能する領域および配線部分として機能する領域をポリシリコン中に形成できる。

次に、図24に示すように、 $1 \mu\text{m}$ を超える厚さを有する第3のシリコン酸化膜174を堆積した後、平坦化を行う。平坦化はマイクロヒータ部173の上に約 $1 \mu\text{m}$ 程度の第3のシリコン酸化膜174が残るように行う。この第3のシリコン酸化膜174は、上下配線の間に位置する層間絶縁膜としての機能、犠牲層エッチングの工程におけるマイクロヒータ上部のエッチストップ層としての機能、および、赤外線吸収部としての機能を有している。  
10

次に、図25に示すように、マイクロヒータ部173と読み出し回路部とを電気的に接続するため、シリコン酸化膜にコンタクトホール175を形成した後、配線部176を形成する。コンタクトホール175は、フォトリソグラフィおよびエッチング技術によってシリコン酸化膜の所定部分を除去することによって形成される。配線部176は、アルミニウムなどの配線材料からなる膜を第3のシリコン酸化膜174上に堆積した後、フォトリソグラフィおよびエッティング技術によってパターニングして形成される。配線部176は、コンタクトホール175を介してマイクロヒータ部173と読み出し回路部とを接続するようにパターニングされる。  
15  
20

次に、図26に示すように、第3のシリコン酸化膜（マイクロヒータ上部のエッチストップ層）174、および第2のシリコン酸化膜（マイクロヒータ下部のエッチストップ層）172に開口（エッ

チング用ホール) 177を形成して、ポリシリコン層(第1の犠牲層) 171の一部を露出させる。この開口は、赤外線検出部と真空パッケージの側面との間を断熱するための空間として機能する。

次に、図27に示すように、所定の厚さの第4のシリコン酸化膜  
5 を堆積した後、その上に第2の犠牲層として機能するポリシリコン層(厚さ：約 $1\text{ }\mu\text{m}$ ) 178を形成する。このポリシリコン層も、堆積したポリシリコン膜をフォトリソグラフィおよびエッチング技術によってパターニングすることで形成される。

次に、図28に示すように、第5のシリコン酸化膜179を堆積  
10 した後、平坦化を行う。この平坦化は、第2の犠牲層として機能するポリシリコン膜の上部に位置する第5のシリコン酸化膜179の厚さが約 $500\text{ nm}$ になるように行う。この第5のシリコン酸化膜179は、最終的には真空パッケージの壁面として機能することになる。

15 次に、図29に示すように、第5のシリコン酸化膜179に直径が約 $0.3\text{ }\mu\text{m}$ のエッチング用ホール180を形成する。この後、図30に示すように、エッチング用ホール180を介して $\text{XeF}_2$ ガスを導入することにより、犠牲層として機能するポリシリコン層をエッチングする。このエッチングにより、マイクロヒータ部を取り囲む領域に空洞163'が形成される。  
20

次に、図31に示すように、第5のシリコン酸化膜上に厚さ $2\text{ }\mu\text{m}$ 程度のシリコン膜181をスパッタ法によって堆積する。このシリコン膜181の堆積によってエッチング用ホール180を塞ぎ、

空洞 163' を封止する。この封止により、空洞 163' の内部圧力は、スパッタ工程時の雰囲気ガス圧力（スパッタチャンバの内部圧力）に保持されることになる。次に、シリコン膜（スパッタ封止膜）181 の一部を除去した後、不図示の電極パッド部を形成する。

5 上記一連の工程を行うことにより、小型真空パッケージの内部（減圧された空洞の内部）にマイクロヒータ部を配置することができる。参考した図面では、簡単化のために単一のマイクロメータしか記載していないが、好ましい実施形態では、上記のMEMS技術を用いることにより、多数のマイクロヒータ部を同一基板上に同時に形成する。個々のマイクロヒータ部は、パターニングされた薄膜から形成されているため、MEMS技術によって低成本で作製され得る。

10 本実施形態によれば、マイクロヒータ部 173 を用いて赤外線照射量を測定するだけではなく、空洞 163' の内部圧力を検出することもできる。このため、製造工程の不良によって空洞 163' の内部圧力に異常が発生した場合でも、製品の出荷前にその圧力異常を検知することができる。また、製造直後は空洞 163' の内部圧力が適正なレベルにあった場合でも、使用時に経時的に圧力が増大することがありえるが、本実施形態によれば、隨時または定期的に空洞 163' の内部圧力を測定することができるため、圧力異常を検知することが可能になる。

15 本実施形態におけるマイクロヒータ部 173 の比抵抗は、 $1 \times 10^{-1} \Omega \text{ cm}$  以上  $1 \times 10^5 \Omega \text{ cm}$  以下の範囲に設計されることが好

ましい。マイクロヒータ部173の比抵抗が、この範囲の上限値よりも大きい場合は、マイクロヒータ部173の電気抵抗は例えば100 kΩ以上の非常に大きな値となるため、温度検出が困難になる。また、比抵抗が上記範囲の下限値より小さい場合は、マイクロヒー  
5 タ部173に生じる抵抗変化率が $1 \times 10^{-3}$ 以下の非常に小さな値となるため、温度検出が困難になる。

比抵抗が $5 \times 10^2 \Omega \text{ cm}$ 以上 $5 \Omega \text{ cm}$ 以下の範囲にある材料の薄膜からマイクロヒータ部173を形成する場合は、その薄膜の厚さを500 nm以下に設定し、かつ、マイクロヒータ部173における抵抗体部分の抵抗を100 kΩ以下、抵抗変化率を0.01以上の値に設計することが好ましい。  
10

なお、マイクロヒータ部173の下部に位置する第1の犠牲層をエッティングするとき、マイクロヒータ部173が上方向または下方に向反ることを防止する目的で、マイクロヒータ部173の上部および／または下部に、引っ張り応力の大きい材料からなる膜を配置することが好ましい。このように引っ張り応力の大きい材料からなる膜は、例えばSiNから形成することができる。  
15

犠牲層をエッティングするとき、XeF<sub>2</sub>を用いる代わりに、SF<sub>6</sub>やCF<sub>4</sub>などのエッティングガスを用いても良いし、TMAHやヒドラジンなどの薬液を用いてもよい。また、エッティング用ホールを塞ぐために堆積する膜の材料は、シリコンに限定されず、他の材料（Alなどの金属）を用いても良い。このような膜の堆積によってエッティング用ホールを塞ぎ、空洞を封止する場合、空洞内の真密度  
20

向上させるため、10Pa以下の圧力で成膜することが好ましい。特に、本実施形態のようにマイクロヒータ部173が赤外線検出部としても機能する場合には、赤外線の入射量を多くするために、空洞の天井として機能する部材（空洞用壁部）を赤外線の吸収が少ない材料から形成することが好ましい。例えば、表面を薄いシリコン酸化膜で覆ったシリコンから空洞用壁部を形成すると、赤外線吸収量が小さく、シリコン酸化膜がエッチストップとして機能するので好適である。

（実施形態8）

以下、本発明による第8の実施形態を説明する。

図32は、マイクロ真空パッケージの内部（空洞163'の内部）にゲッタリング薄膜を設けた実施形態を示している。ゲッタリング薄膜は、マイクロヒータ部173の発熱によって活性化され、マイクロ真空パッケージの内部（空洞163'の内部）に存在するガスを吸着し、その圧力を低下させることができる。

前述の実施形態7では、シール部材として機能するシリコン膜181をスパッタ法によって形成し、それによって空洞163'の内部圧力を低くしている。スパッタ法でシール部材を形成することにより、空洞163'の内部圧力を低くできる理由は、前述したように、スパッタチャンバの内部圧力（空洞163'の内部圧力を規定する）がCVD装置のチャンバー内圧力よりも低いためである。本実施形態では、空洞163'の内部にゲッタリング薄膜を設け、ゲッタリング薄膜による圧力低減効果を利用するため、シール部材の

形成方法は、スパッタ法に限定されず、CVD法を含む種々の薄膜堆積法を用いることができる。すなわち、公知の薄膜堆積法によつてシール部材を形成した後、ゲッタリング薄膜によるゲッタリングを行なうことにより、空洞163'の内部圧力を充分に低い値（好みくは10Pa以下、より好みくは5Pa以下）に低下させることが可能である。なお、CVD法によるシール部材の堆積は、例えば約67Pa程度の圧力で行われるため、CVD法でシール部材を堆積した直後における空洞163'の内部圧力は、約67Pa程度になる。

本実施形態では、マイクロヒータ部173の下方でエッチストップ層として機能するシリコン酸化膜の下にゲッタリング薄膜185を設けている。このゲッタリング薄膜185の厚さは、例えば500nmに設定される。ゲッタリング薄膜185の働きによってマイクロ真空パッケージ内部の真空度を高く維持するには、ゲッタリング薄膜185の厚さを十分なレベルに設定する必要があり、その好みの厚さは、マイクロ真空パッケージの内容積に依存する。

マイクロヒータ部173の電気抵抗は、例えば1MΩ以下で設定される。好みの例では、10Vの電圧をマイクロヒータ部に印加したとき、 $10^{-4}W$ 以上の発熱が生じる。マイクロヒータ部173と外部との間の熱コンダクタンスを $1 \times 10^{-7}W/K$ に設定すると、マイクロヒータ部173の温度は1000K以上となり、ゲッタリング薄膜の活性化を十分に行なうことができる。

ゲッタリング薄膜185の材料は、例えば、Zr、Ti、Zrと

A1との合金、またはV(バナジウム)などの非蒸発型ゲッタ材料から好適に選択される。ゲッタリング薄膜がマイクロ真空パッケージ内のガスを付着し、やがてゲッタリング作用が低下してきたときは、マイクロヒータ部173を加熱して、ゲッタリング薄膜185の再活性化が可能な温度(例えば900度)に上昇させればよい。

このような加熱を行うことにより、表面に付着したガスの分子をゲッタリング薄膜185の内部に拡散させ、再び、ゲッタリング薄膜185の表面にゲッタ材料を露出させることができる(活性化)。

このようにしてゲッタリング薄膜185を活性化するためには、マイクロヒータ部173の温度を電子デバイスの動作時にくらべて格段に高いレベルに上昇させる必要がある。このような加熱が、同一基板160上に集積した電子回路に悪影響を与えないようにするためには、マイクロヒータ部173と基板160との間は断熱されていることが望ましい。本実施形態では、基板とマイクロヒータ部との間の熱コンダクタンスを $10^{-7}W/K$ 程度の小さい値に設定しているため、電子回路への悪影響はほとんどない。この熱コンダクタンスの値が大きな場合、すなわち断熱が不十分な場合には、マイクロヒータ部173が形成される領域から離れた位置に電子回路を配置する必要が生じ、電子デバイスの小型化に支障をきたす可能性がある。

ゲッタリング薄膜185は、図33に示すように、ポリシリコン層(第1の犠牲層)171を形成した後、このポリシリコン層171の上に例えばスパッタによってゲッタ材料からなる薄膜を堆積し、

次に、この薄膜をフォトリソグラフィおよびエッチング技術により所望の形状にパターニングすることによって作製される。

図33に示す工程は、図21の工程と図22の工程との間に行うことになる。この工程以降の工程は、図22から図31に示す工程  
5 と同様である。

本実施形態の電子デバイスによれば、ゲッタリング薄膜185がマイクロヒータ部173の下方に設けられているため、赤外線のマイクロヒータ部173への入射を妨げることがない。

また、本実施形態では、ゲッタリング薄膜185の下方にも空洞  
10 が存在するため、ゲッタリング薄膜185を基板から熱的に分離しやすい。

以上、説明してきたように、本実施形態では、空洞163'内の真空度を検出するためにマイクロ真空パッケージの内部を加熱する熱吸放出部と、温度検出を行う温度検出部と、真空度を向上させるためにゲッタリング薄膜を加熱する活性化部とを、1つのマイクロヒータによって実現している。このため、製造コストを低減するとともに、素子の集積度向上を達成することができる。  
15

上記の熱吸放出部、温度検出部、および活性化部は、それぞれ、別々の要素から形成しても良い。特に、熱を吸収する素子を用いても圧力測定は可能であるので、熱吸放出部の代わりに、熱吸放出部を設けてもよい。熱吸放出部は、例えばペルチェ素子から形成され得る。ペルチェ素子の発熱または吸熱に伴って変化するマイクロ真空パッケージ内部の温度を検出することにより、熱コンダクタンス  
20

$g_A$  が求められ、この  $g_A$  から真空度を求めることができる。

本実施形態では、熱吸放出部、温度検出部、および／または活性化部が、それぞれ、各真空パッケージ内にひとつずつ設けられているが、ひとつの真空パッケージ内に複数個ずつ設けられていてよい。  
5 い。

空洞は、基板の内部に形成されてもよい。基板の一部をエッチングすることにより、空洞部を形成し、熱吸放出部、温度検出部、および／または活性化部と基板との間の断熱を行ってもよい。このよう構成は、例えば次のようにして作製され得る。すなわち、まず、  
10 基板の表面にエッチストップ層を形成した後、エッチストップ層にエッチホールを形成する。次に、このエッチホールを介して基板の一部をエッチングし、基板の内部に空洞を形成する。

基板としては、シリコン基板の代わりに、SOI 基板を用いても良い。SOI 基板を用いるとき、基板の内部に存在する酸化物層に  
15 エッチホールを形成した後、このエッチホールを介して酸化物層の下方に位置する基板の一部を除去して空洞を形成すればよい。

なお、空洞を形成する代わりに、ポーラスシリコンなどの多孔質材料を配置することによって断熱を行ってもよい。

熱吸放出部、温度検出部、および／または活性化部を基板の表面に形成することも可能である。この場合、上記のように基板上の電子回路に悪影響を与えないような温度範囲やレイアウトを採用する必要がある。熱吸放出部、温度検出部、および／または活性化部は、マイクロ真空パッケージの内側であれば、任意の面に形成してもよ  
20

い。

熱吸放出部、温度検出部、および／または活性化部をシリコン以外の材料から形成してもよい。例えば、TiやPtなどの金属、TiO<sub>x</sub>やVO<sub>x</sub>などの金属酸化物、SiGeなどの半導体から形成することができる。半導体を用いる場合は、半導体内にPN接合を形成し、順方向の電流または電圧の変化に基づいて温度を検出することができる。  
5

温度検出部による温度の検出は、抵抗変化に基づく方法以外に、焦電効果を利用する方法、温度変化に応じて生じる誘電率の変化を  
10 利用する方法（誘電ボロメータ）、熱電対もしく複数の熱電対を直列に接続したサーモパイルにおいて温接点と冷接点との間の温度差に応じて熱起電力が発生する現象（ゼーベック効果）を利用する方法などを用いて行っても良い。

上記の各実施形態では、マイクロヒータ部の定常状態での温度によって真密度を検出すしているが、マイクロヒータ部の熱コンダクタンスが大きいために定常状態に変化するために必要な時間が長くなりすぎる場合は、過渡状態での温度によって真密度を検出することも可能である。  
15

（実施形態9）

20 図34を参照しながら、本発明による第9の実施形態を説明する。本実施形態の電子デバイスは、赤外線エリアセンサを備えたカメラ（撮像装置）である。

図34に示すように、本実施形態のカメラは、被写体から発せられる赤外線を赤外線検出部に導入するための光学系210（図34には反射光学系を用いた例を示すが、屈折系でも良い）と、1つまたは複数の素子ごとにマイクロ真空パッケージ内に封入された複数の赤外線センサ素子220を有する基板230と、基板230のうち、赤外線センサ素子が形成されている面の裏面上に形成されたペルチエ素子250と、赤外線センサ素子の出力信号を処理するための信号処理回路60と、赤外線センサ素子をパルス駆動するための素子駆動回路270と、基板230の表面温度を検出し、ペルチエ素子250を駆動させることにより基板温度を制御する温度検出&ペルチエ素子駆動回路280と、温度測定時に光学系へ入射する赤外線を遮光するための検査用遮光板290とを供えている。なお、光学系210を反射光学系ではなく、屈折系で実験する場合、赤外を透過するシリコンやゲルマニウムでレンズを形成することになるが、これらの材料は可視光を透過しにくいため、反射光学系を用いることが好ましい。

次に、図35を参照しながら、赤外線検出部の構成を説明する。本実施形態では、図35に示すように、基板230上に配列された赤外線検出部の各々がキャップ体に封止されている。基板230上には、抵抗体（ボロメータ）201とスイッチングトランジスタ202とを有する多数のセルA1～E5が行列状に配置されたセルアレイが設けられている。1つのセルの大きさは、例えば40 μm

～ $50\text{ }\mu\text{m}$ 程度であるが、検知する赤外線のほぼ波長の2倍に当たる $20\text{ }\mu\text{m}$ 以上であればよい。

図35には、赤外線検出部の出力信号を処理するための信号処理回路260、赤外線検出部をパルス駆動するための素子駆動回路270、および温度検出&ペルチェ素子駆動回路80も示されている。  
5 ペルチェ素子は、ショットキー接触部を通過するキャリアの移動に伴う熱の吸収作用を利用した素子である。温度測定時に、図34に示す検査用遮光板290によって光学系へ入射する赤外線が遮断される。

10 各セルのスイッチングトランジスタ202のゲート電極は、縦方向走査回路209（V-SCAN）から延びる選択線SEL-1～SEL-5に接続されている。各セルの抵抗体201の一端は電源供給ライン205に接続され、スイッチングトランジスタ202のソースは、その一端から接地された基準抵抗Rを介して延びるデータライン204a～204eに接続されている。また、データライン204a～204eは、それぞれスイッチングトランジスタSWa～SWeを経て出力アンプ206に接続されている。各スイッチングトランジスタSWa～SWeのゲート電極には、横方向走査回路208（H-SCAN）から延びる信号線207a～207eが接続されている。  
15  
20

図35には図示されていないが、基板の裏面には、温度検出&ペルチェ素子駆動回路80が接続されたペルチェ素子250が備えられており、これによって基板230の温度が制御される。

外部縦方向走査回路 209 (V-SCAN) および横方向走査回路 208 (H-SCAN) は、外部の素子駆動回路 270 に接続され、赤外線検出部を駆動する。赤外線検出部からの信号は、出力アンプ 206 を介して信号処理回路 260 に出力される。

5 赤外線検出部は、基板 230 の上に設けられたつづら折り状の抵抗体（ボロメータ）201 と、抵抗体 201 への電流をオン・オフするためのスイッチングトランジスタ 202 と備えている。抵抗体 201 の材質は、Ti, TiO, ポリシリコンなどがあり、いずれを用いても構わない。スイッチングトランジスタ 202 は、ソース領域、ドレイン領域及びゲート電極を備えており、真空状態に封止された抵抗体 201 と外部の回路とを電気的に接続する。

(赤外線検出部のマイクロ真空パッケージ内の真空度)

各赤外線検出部が精度よく動作するためには、その赤外線検出部が封入されている空間の真空度が重要である。図 36 は、赤外線検出部の感度と雰囲気の真空度との関係を示したグラフ図である。

15 図 36 に示すように、真空度  $1.0 \times 10^{-2}$  Torr (1.3 Pa) 程度よりさらに減圧された真空度を有する雰囲気中の赤外線検出部の感度は、大気圧中の赤外線センサの感度と比較して 10 倍程度向上している。つまり、赤外線センサの形成される領域の雰囲気を  $10^{-2}$  Torr (1.3 Pa) 程度より減圧する場合には、  
20 大気圧中において駆動する赤外線センサの感度よりも 10 倍高い感度を有する赤外線センサを実現できるのである。このことから、赤外線検出部を、真空度  $10^{-2}$  Torr (1.3 Pa) より高い真

空度で封止して、封止後もこの真空度を維持することが可能な場合には、高感度なデバイスの実現が可能となる。

(真空度判定の方法)

5 抵抗体を発熱させることによって昇温させた後、所定の時間だけ放置すると、抵抗体の温度は再び低下し、もとの温度に近づいてゆく。この温度の変化を検知することにより、圧力を測定することができる。

図37は、抵抗体における熱の出入りを説明するための図面である。

10 マイクロヒータの発熱量を  $P_0$ 、抵抗体の熱容量を  $C$ 、温度変化を  $\Delta T$ 、マイクロヒータ支持部の熱コンダクタンスを  $G_1$ 、抵抗体の雰囲気ガスの熱コンダクタンスを  $G_2$ 、周波数を  $\omega$ とする。このとき、以下の関係式が成立する。

$$15 \quad C d(\Delta T) / dt + (G_1(\Delta T) + G_2(\Delta T)) = P_0 e \times p(j\omega t)$$

上記の式から温度変化  $\Delta T$  を求めると、以下の式が得られる。

$$\Delta T = P_0 e \times p(j\omega t) / ((G_1 + G_2) + j\omega C)$$

抵抗体を自己発熱させると、発生した熱量  $P_0$  に比例して赤外線検出部の温度  $T$  は上昇する。この温度  $T$  の上昇に伴って、抵抗体の電気抵抗  $R$  が変化する。

図38は、抵抗体のを自己発熱させ、一定期間放置した後の抵抗体の温度変化を示している。Pr o 1～3は、それぞれ、異なる真

空度のマイクロパッケージ内に置かれた素子1～3の温度プロファイルを示している。

定温期間(Ⅰ)はマイクロヒータを加熱する前の期間であり、加熱期間(Ⅱ)は抗体に電流を流し、加熱している期間である。  
5 この加熱期間(Ⅱ)に抗体の温度Tは、例えば100～01°C程度上昇する。加熱期間(Ⅱ)の経過後、抗体に流す電流を停止すると、抗体の自己発熱が止まるため、抗体の温度が低下する。この温度低下の速度は、抗体の熱容量Cと、熱コンダクタンス( $G_1 + G_2$ )によって異なる。予め設定された所定の保温期間  
10 (Ⅲ)の間に抗体の温度Tは、真空度に応じた温度に低下する。

図38の例では、保温期間(Ⅲ)経過時における素子3の温度は、しきい値(設定温度)より高いが、他の素子1および2の温度は、しきい値よりも低い。保温期間開始時の温度と、保温期間経  
15 過時の温度との差異が $\Delta T$ である。

上記の抗体の温度変化 $\Delta T$ に基づいて、真空度を評価することができる。具体的には、各抗体における $\Delta T$ を測定し、測定した $\Delta T$ の中から最大値と最小値を除いた値の平均をとる。そして、その平均値をしきい値(設定温度)として用いるメディアンフィルタ  
20 一法により、真空度を判定することができる。この方法によると、経時的に多数の真空パッケージで真空度の低下が進行している電子デバイスにおいて、個々の真空パッケージ内の真空度の相対的な評価を適切に実行することが可能になる。この方法を採用する代わり

に、問題となる真空度に対応する温度をしきい値（設定温度）として定めておいてもよい。

以下に、図35および図39を参照しながら、抵抗体の温度Tを測定する方法をより具体的に説明する。

5 図39は、本実施形態における抵抗体の温度測定のタイミングチャートである。図39において、横軸は時間を示し、縦軸は駆動電圧を示している。以下、簡単化のため、図35における赤外線検出部A1, B1, C1における抵抗体の温度を検出する場合を説明する。なお、水平期間とは、図39におけるHDのクロック間の期間  
10 であり、フレームとは、VDのクロック間の期間をいう。

本実施形態の電子デバイスにおいて、真空度の測定を行なうときは、赤外線検出部への赤外線の入射を遮断する。より好ましくは、  
15 図39に示す定温状態（I）の前に数フレームから数十フレームの間、ライン選択を行わない状態を維持し、各赤外線検出部A1, B  
1・・の温度を一定レベルに安定化する。

次に、定温期間（I）において、各赤外線検出部の温度を一定に保ちつつ、Vddに5Vの電圧を印加した状態で縦方向走査回路209（V-SCAN）を駆動する。SEL#1, SEL#2・・の順に電圧が印加され、SEL#1に電圧が印加された時、各赤外線検出部A1, B1, C1・・の出力信号Sco（第1の信号出力）が順次読み出されていく。出力信号Scoの値を、横方向走査回路208（H-SCAN）によって選択された順に信号処理回路60内の前フレームメモリに書き込んでいく。

加熱期間（Ⅰ）は、V<sub>d</sub>に25Vの電圧を印加した状態で縦方向走査回路209（V-SCAN）を駆動する。このとき、V<sub>d</sub>に印加する電圧の値は、定常状態（Ⅰ）において印加した電圧の値よりも20V以上大きな値であることが好ましい。縦方向走査回路209（V-SCAN）を駆動すると、SEL#1, SEL#2…の順に選択されて、SEL#1が選択された時には、各赤外線検出部A1, B1, C1…に電圧が印加される。このとき、赤外線検出部A1, B1, C1…の抵抗値はほぼ同じであることから、各赤外線検出部A1, B1, C1…内の抵抗体は、自己発熱により、ほぼ同じ温度に達する。図39では、加熱期間は3水平期間を示しているが、さらに加熱を数十フレーム延長してもよい。

保温期間（Ⅱ）は、V<sub>d</sub>に再び5Vの電圧を印加した状態で、縦方向走査回路209（V-SCAN）を駆動する。SEL#1, SEL#2…の順に電圧が印加され、SEL#1が選択された時には、各赤外線検出部A1, B1, C1…の出力信号S<sub>re</sub>が順次読み出されていく。出力信号S<sub>re</sub>（第2の信号出力）の値を、横方向走査回路208（H-SCAN）によって選択された順に読み出していく。信号処理回路60において、加熱期間後の出力信号S<sub>re</sub>の値を、前フレームメモリに保存されている加熱期間前の出力信号S<sub>co</sub>の値と比較することにより、各赤外線検出部の温度変化を検出することができる。

このように、抵抗体の加熱後、一定時間経過後の出力信号を読み出していくと、上述したように、真空度の劣化している赤外線検出

部の温度は、真空度の高い赤外線検出部における温度よりも低くなる。このことから、加熱前後の温度変化値を測定することにより、各赤外線検出部を封止するキャップ体の真空度を評価することがで  
きる。

5 以下に、加熱前後の温度変化値と、実際に出力される電圧信号で  
ある出力信号との関係を、赤外線検出部A1を例にして述べる。

赤外線検出部A1の出力電圧V(A1)は、図35からわかるよ  
うに、赤外線検出部A1の抵抗値R(A1)と、図35に示す基準  
抵抗Rの抵抗値R(ref)との分割抵抗値と、電源供給ライン  
10 205に印加される電圧Vddとの積である。このため、赤外線検  
出部A1の出力電圧V(A1)は、下式によって表される。

$$V(A1) = \{R(ref) / (R(A1) + R(ref))\} \cdot Vdd$$

によって表される。

一方、赤外線検出部A1の温度T(t)は、下式によって表され  
15 る。

$$T(t) \propto \{R(A1) / (R(A1) + R(ref))\} \cdot Vdd \propto Vdd - V(A1)$$

によって表される。

このとき、赤外線検出部A1において、定温期間(1)における  
温度T(t0)と、保温時間(111)における温度T(t1)と  
20 の温度変化値△Tは、下式で表される。

$$\Delta T = T(t1) - T(t0)$$

によって表される。

出力電圧 $V$  (A1) がわかれば、抵抗値 $R$  (A1)、印加電圧 $V_d$  の値は既知なので、温度変化値 $\Delta T$  は、赤外線検出部 A1 の出力電圧 $V$  (A1) に依存して一意的に決定される。

なお、ペルチェ素子の温度を、図 35 に示す温度検出 & ペルチエ素子駆動回路 80 を用いて常温より低く（例えば 10°C 以下）設定すると、キャップ体であるキャップ体の管壁からボロメータへの放射熱が低減するので、ボロメータは冷却されることとなる。

また、図 39において、加熱期間 (II) では、ラインごとにそれぞれのスタートから読み出しまでのタイミングを合わせるために、  
SEL #1, SEL #2 および SEL #3 ごとにスタートのタイミングをずらしているが、同時にスタートしてもよい。

図 39 に示す加熱期間 (II) において、ボロメータを自己発熱させる方法として、ボロメータに電圧を印加したが、他の方法として、加熱期間 (II) において、ボロメータに電圧を印加することなくペルチエ素子の温度のみを上昇させて基板を加熱し、基板あるいはキャップ体の管壁からの熱放射でボロメータの温度を上昇させて、その後の読み出し期間において、ペルチエ素子の温度をもとの状態（例えば 10°C）に戻し、ラインごとに読み出しを行なう方法がある。この方法においては、ペルチエ素子による加熱の前後における、ボロメータの変化温度が大きいものほど真密度は悪く、検出温度差が小さなもののほど真密度は良いと判断できる。

図 39 に示す加熱期間 (II) において、ボロメータとペルチエ素子とを併用することにより加熱を行なってもよい。

(信号の処理方法)

次に、図39に示す測定方法によって得られる出力信号S<sub>c o</sub>およびS<sub>r e</sub>を、信号処理回路60において処理する方法について、図40を参照しながら述べる。図40は、真空度判定のための温度測定時において、赤外線検出部の出力信号を処理し、欠陥を補完する回路を示す図である。

図40に示すように、温度測定時においては、図39に示すような定温期間(Ⅰ)における赤外線検出部から出力された出力信号S<sub>c o</sub>を、信号処理回路60のうちのADC66においてAD変換してデジタル信号D<sub>c o</sub>とした後、前フレームメモリ64に記録しておく。

次に、加熱期間(Ⅱ)を経て、一定期間放置された後に赤外線検出部20から出力された出力信号S<sub>r e</sub>も、信号処理回路60のうちのADC66においてAD変換してデジタル信号D<sub>r e</sub>とする。その後、出力信号差分検出部65aにおいて、前フレームメモリ64に記録されている加熱期間前のデジタル信号D<sub>c o</sub>と、加熱後のデジタル信号D<sub>r e</sub>との値の変化値を示す信号が生成される。

さらに、欠陥検出部65bにおいて、上述の変化値を示す出力信号を、図38に示すしきい値(設定温度)を元に設定されたしきい値(設定電圧値)と比較することにより、赤外線検出部の真空度を判定する。

上述のように真空度を判定された結果、真空度が劣化しているとされた赤外線検出部の位置は、欠陥位置メモリ63に記憶される。

## (欠陥画素の補完方法)

次に、本実施形態の電子デバイスをカメラに使用する場合に、欠陥を有する赤外線検出部の補完を行なう方法について、図40を参照しながら説明する。

5 赤外線検出部を用いたカメラを実際に使用するときには、検査用遮光板を外した状態で、被写体から発せられる赤外線を赤外線検出部20に入射させて、赤外線検出部20の出力信号を映像化する。この工程を繰り返すと、各赤外線検出部20の封入されている領域では、真空度が徐々に劣化し、その劣化の進行度合いは、各赤外線検出部20を封入するキャップ体ごとに異なるようになる。そのため、赤外線検出部20のうちのいくつかでは、真空度の大きな劣化に起因して感度が低下しており、その赤外線検出部の位置は、上述の温度測定方法により知ることができる。

10

15 カメラが実際に使用されるとき、光学系10に入射した赤外線は、赤外線検出部内を経て、出力信号Sとなる。そして、出力信号Sは、信号処理回路60内の映像処理部61に入力され、ADC66によって8bit以上のデジタル信号に変換される。その後、デジタル信号は、マルチプレクサMu×67によって3ライン以上のラインメモリLine Memory 1～3に入力されて、各ライン（図20 35におけるSEL#1, SEL#2・・）の画素に対応した信号として一次的に記憶される。そして、各ラインの画素の信号は補完処理68に入力され、欠陥位置メモリ63において記憶されている欠陥を有する画素の信号に、その欠陥画素の信号を囲む周辺の8画

素の信号を利用して内挿補完処理を施す。具体的には、欠陥位置メモリ63からの情報により欠陥画素（図40に示すB2）であると判定された画素の信号を、その周辺画素（図40に示すA1、B1、C1、A2、C2、A3、B3、C3）である8画素の信号を加算して1／8倍した値の画素の信号に置き換えることで補完処理を行なう。補完処理を行った後のデータをデマルチプレクサD.e # M<sub>u</sub> × 69に入力して、読み出しに必要なラインを選択し、そのラインを出力信号として外部に出力する。

（マイクロ真空パッケージの配置）

以下に、本実施形態のマイクロ真空パッケージの配置について、図41を参照しながら説明する。図41は、図35に示すセルアレイにおけるマイクロ真空パッケージの配置を模式的に示す図である。図41に示すように、本実施形態のセルアレイには、マイクロ真空パッケージAと、マイクロ真空パッケージBと、マイクロ真空パッケージCとが配置されている。マイクロ真空パッケージAは、赤外線を透過するSiからなり、マイクロ真空パッケージ内は、赤外線が遮光されることなく、減圧雰囲気になっている。マイクロ真空パッケージBは、その表面に赤外線を遮断するAlなどがスパッタ形成されており、マイクロ真空パッケージ内は、赤外線が遮光され、減圧雰囲気になっている。マイクロ真空パッケージCは、赤外線を透過するSiからなり、一部に開口部が形成されていることにより、マイクロ真空パッケージ内は、赤外線が遮光されることなく、大気圧雰囲気になっている。

以下に、それぞれのマイクロ真空パッケージと、そのマイクロ真空パッケージに封入されている赤外線検出部との機能について述べる。

マイクロ真空パッケージAにより封止されている赤外線検出部  
5 (以下では、赤外線検出部Aと記す。) は減圧雰囲気下にあり、赤外線が入射する状態にある。赤外線検出部Aは、被写体から発せられる赤外線を検知することにより、被写体からの赤外線強度に応じた出力信号を出力する。ここで、その出力信号には、赤外線が入射しない状況においても生じるオフセット値が含まれる。また、マイ  
10 クロ真空パッケージA内の真密度は、封止時点では基準値以上に保たれているが、その後の経年やデバイスの使用に伴って徐々に悪化すると考えられる。

マイクロ真空パッケージBにより封止されている赤外線検出部  
15 (以下では、赤外線検出部Bと記す。) は、赤外線検出部Aと同程度の減圧雰囲気下にあり、赤外線が入射しない状態にある。これにより、実際にカメラを使用する際に赤外線検出部Bが形成されている領域では、赤外線が入射しない暗時の出力を得ることができ、この測定値を用いることにより、上述の赤外線センサAの出力信号におけるオフセット値を取り除くことができる。

マイクロ真空パッケージCにより封止されている赤外線検出部  
20 (以下では、赤外線検出部Cと記す。) は、大気圧下にある。これにより、真密度判定のための検査を行なう際には、真密度が最も劣化した場合である大気圧下にある赤外線検出部Cの温度を知ること

ができる。この赤外線検出部Cの温度と、赤外線検出部Aにおける温度の平均値とを比較することにより、セルアレイ全体として、どの程度劣化が進行しているかを判断することができる。

なお、本実施形態においては、マイクロ真空パッケージBとマイクロ真空パッケージCとが、セルアレイを構成する赤外線検出部のうち周囲部に位置する赤外線検出部の上に配置されているが、本発明においては、マイクロ真空パッケージBとマイクロ真空パッケージCとの配置は、これに限られるものではない。

具体的には、マイクロ真空パッケージCは、1ラインにつき1つ設けられておれば上述の効果を得ることができる。マイクロ真空パッケージBは、水平方向に510画素の信号を有するセルアレイにつき20～30画素程度の割合で設けられていることが好ましい。

また、本発明のセルアレイにおいては、必ずしもマイクロ真空パッケージBとマイクロ真空パッケージCとが形成されている必要はなく、2種のうち一方が形成されていてもよいし、2種のうち両方が形成されていなくてもよい。

本実施形態では、赤外線検出部Cにマイクロ真空パッケージCを形成せず、検査時には、赤外線検出部Cを大気圧下に露出して、ボロメータの自己発熱と放熱の差分を計測することも可能である。なお、本実施形態において、赤外線検出部Cに開口部の入ったマイクロ真空パッケージCを形成したのは、検査時の熱対流などの条件を赤外線検出部A、Bの条件に近くして、より正確な測定を行うためである。

上述の温度変化値測定および真密度の判定は、製造時および出荷時に行われることもあり、出荷後にユーザーによって行われることもある。それらについて以下に述べる。

まず、製造時では、例えば  $1.3 \times 10^{-3} \text{ Pa}$  の真密度を有するマイクロ真空パッケージ A～C を形成する。この形成方法は、他の実施形態において行なう方法と同様にして行なわれる。すなわち、エッチング用ホールの形成→エッチングによる空洞の形成→エッチング用ホールをスパッタで塞ぐ工程を行なえばよい。

マイクロ真空パッケージ C にはスリット状の開口部が形成されておりため、マイクロ真空パッケージ C 内は真密度チャンバー内における既知の真密度に保たれている。そのため、この時点において温度変化値測定を行った場合には、マイクロ真空パッケージ C 内の赤外線検出部 C の温度変化値を、既知値かつ最良値の真密度に対応する温度変化値として目安にすることができる。この対応関係は、しきい値の設定時などに用いることができる。

次に、出荷時における真密度の判定として、製造時のキャップの接合不良などにより内部の真密度が劣化したマイクロ真空パッケージを検出するために行なうことができる。そして、デバイスの出荷後の真密度の判定は、時間の経過や、デバイスの使用に伴って内部の真密度が劣化したマイクロ真空パッケージを検出するために行なう。これらの真密度の判定において、上記の製造時における上記の対応関係を用いて算出したしきい値をあらかじめ定めておいてよいし、真密度の判定を行なう時点において、マイクロ真空パッケ

ジCの形成された赤外線検出部Cの温度変化値の測定結果の平均値を大気圧下における基準としてしきい値を設定してもよい。

本実施形態においては、1つのマイクロ真空パッケージの中に1つの赤外線検出部を配置しているが、複数の赤外線検出部を1つの  
5 マイクロ真空パッケージの中に形成してもよい。

また、本実施形態では、減圧雰囲気を必要とする素子としてボロメータを用いているが、ボロメータの他にPN接合ダイオードなどの熱電変換素子や、電子放出素子や、波長40～50μmのテラ波を検出または放出する素子などを用いてもよい。また、本発明の電子デバイスは、カメラの他に各種赤外線センサや他の装置に適応す  
10 15 ることができる。

真空度の判定方法としては、加熱期間後に一定期間放置して温度を測定する方法について述べたが、本発明においては、加熱期間後に、一定温度に到達するまでの時間を測定して、その時間をしきい値（設定時間）と比較することにより真空度の判定を行なってよい。

なお、本実施形態では、電流変化および温度変化を用いて真空度を検知しているが、前述の実施形態のように、定常状態で真空度を検知することもできる。

実施形態7および実施形態8では、同一の基板上に複数の赤外線検出部および可視光検出部が規則的に配列されているが、基板上の赤外線検出部の個数は1つでもよい。このような構成を有する電子デバイスは、例えば監視カメラとして好適に用いられる。監視カメ  
20

ラとして使用する、このような電子デバイスによれば、赤外線検出部によって人物の存在を検知したときに、可視光検出部による撮像を行い、それによって得られた映像を監視カメラの管理者が確認することが可能になる。

5 同一基板上に赤外線検出部および可視光検出部を備えた電子デバイスの例は、例えば特開2003-17672号公報に開示されているが、本発明はこの文献に開示されている電子デバイスにも広く適用することが可能である。

10

### 産業上の利用可能性

本発明によれば、空洞内に電子デバイスの一部を配置する場合に、空洞壁部材に設けられるエッチング用の開口を金属などのスパッタリングで塞ぐため、空洞の圧力を低圧（高真空）に保持することができ、感度の高い赤外線センサなど、高性能の電子デバイスの提供  
15 を図ることができる。

また、本発明によれば、小型真空パッケージなどの空洞内部に圧力測定素子やゲッタリング薄膜を配置するため、個々のマイクロ真空パッケージの内部における真密度の計測が可能となる。更に、空洞の内部のゲッタリング薄膜を適宜活性化することにより、空洞内の真密度を高く維持することが可能になる。  
20

## 請 求 の 範 囲

1. 電子デバイスの一部が設けられた基板を用意し、前記電子デバイスの一部を覆う犠牲層を前記基板の選択された領域上に形成する工程（a）と、  
5 前記犠牲層を覆う空洞壁用膜を前記基板上に形成する工程（b）  
と、  
前記空洞壁用膜を貫通して前記犠牲層に達する少なくとも1つの開口を前記空洞壁用膜に形成する工程（c）と、  
10 前記開口を介して前記犠牲層の少なくとも1部を選択的にエッチングすることにより、前記電子デバイスの一部を囲む空洞を形成する工程（d）と、  
前記開口を塞ぐシール部材をスパッタ法によって形成する工程  
（e）と、  
15 を含む電子デバイスの製造方法。
2. 前記工程（e）では、金属をスパッタすることにより、前記シール部材を形成する請求項1に記載の電子デバイスの製造方法。
- 20 3. 前記工程（e）では、シリコンをスパッタすることにより、前記シール部材を形成する請求項1に記載の電子デバイスの製造方法。

4. 前記工程（e）では、シール部材用膜を前記開口及び前記空洞壁用膜の上に堆積した後、前記シール部材用膜のうち前記空洞壁用膜の上面に位置する部分を除去することにより、前記開口内に前記シール部材を残す請求項1から3のいずれかに記載の電子デバイスの製造方法。

5. 前記工程（e）では、前記基板の主面に垂直な方向に対して傾いた方向からスパッタを行なう請求項1から4のいずれかに記載する電子デバイスの製造方法。

10

6. 前記工程（c）では、上方で広く下方で狭い形状を有する開口を形成する請求項1から5のいずれかに記載の電子デバイスの製造方法。

15

7. 前記工程（b）では、前記犠牲層の側面に到達する側方開口をさらに形成する請求項1から6のいずれかに記載の電子デバイスの製造方法。

20

8. 前記工程（b）では、前記工程（e）におけるスパッタの方向からみて、前記開口が前記電子デバイスの一部とオーバーラップしないように前記開口を形成する請求項1から7のいずれかに記載の電子デバイスの製造方法。

9. 前記工程（e）では、10Pa以下 の圧力下でスパッタを行なう請求項1から8のいずれかに記載の電子デバイスの製造方法。

10. 前記工程（e）では、5Pa以下 の圧力下でスパッタを行なう請求項9に記載の電子デバイスの製造方法。  
5

11. 前記工程（a）では、前記犠牲層をポリシリコン膜から形成し、

前記工程（b）では、前記空洞壁用膜としてシリコン酸化膜を形成する請求項1から10のいずれかに記載の電子デバイスの製造方法。  
10

12. 前記電子デバイスの一部は、赤外線センサの検出部であり、  
15

前記工程（a）では、前記犠牲層をポリシリコン膜から形成し、  
前記工程（b）では、前記空洞壁用膜として、ポリシリコン膜及び該ポリシリコン膜を包むシリコン酸化膜を形成する請求項1から10のいずれかに記載の電子デバイスの製造方法。

20 13. 前記工程（a）では、前記犠牲層をシリコン酸化膜から形成し、

前記工程（b）では、前記空洞壁用膜としてポリシリコン膜を形成する請求項1から10のいずれかに記載の電子デバイスの製造方法。

5 14. 前記工程（d）の後で前記工程（e）の前に、CVDによって、基板の露出している表面上に膜を堆積して前記開口を小さくする工程をさらに含む請求項1から13のいずれかに記載の電子デバイスの製造方法。

10 15. 前記工程（a）の前に、前記電子デバイスの一部として、赤外線センサの検出部と、前記検出部の側方及び下方を埋める下部空洞用犠牲層とを形成する工程をさらに含み、  
前記工程（d）では、前記犠牲層及び前記下部空洞用犠牲層を除去する請求項1から14のいずれかに記載の電子デバイスの製造方法。  
15

16. 基板と、  
前記基板上に設けられた電子デバイスの一部と、  
空洞を挟んで前記電子デバイスの一部を囲む空洞壁部材と、  
20 前記空洞壁部材のうち天井部に設けられた開口を塞ぐシール部材とを含み、  
前記シール部材は、スパッタにより形成されている電子デバイス。

17. 前記シール部材は、シリコンによって構成されている請求項16に記載の電子デバイス。

18. 前記シール部材は、金属によって構成されている請求項  
5 16に記載の電子デバイス。

19. 前記空洞内の圧力は、10Pa以下である請求項16から  
10 18のいずれかに記載の電子デバイス。

20. 前記空洞内の圧力は、5Pa以下である請求項16から  
15 19のいずれかに記載の電子デバイス。

21. 前記シール部材は、金属によって構成されている請求項  
16から20のいずれかに記載の電子デバイス。

15

22. 前記シール部材は、酸化膜によって構成されている請求  
項16から21のいずれかに記載の電子デバイス。

20

23. 前記電子デバイスの一部は、赤外線センサの検出部であ  
り、

前記空洞壁部材は、ポリシリコンと該ポリシリコンを包むシリコ  
ン酸化膜によって構成されている請求項16から22のいずれかに  
記載の電子デバイス。

24. 前記電子デバイスの一部は、赤外線センサの検出部であり、

前記検出部の側方及び下方は、下部空洞によって囲まれている請求項 16 から 23 のいずれかに記載の電子デバイス。

25. 前記スパッタの方向からみて、前記開口が前記電子デバイスの一部とオーバーラップしていない請求項 16 から 24 のいずれかに記載の電子デバイス。

10

26. 基板と、

前記基板上に設けられた電子デバイスの一部と、  
空洞を挟んで前記電子デバイスの一部を囲む空洞壁部材と、  
前記空洞壁部材のうち天井部に設けられた開口を塞ぐシール部材  
15 とを含み、

前記シール部材は、薄膜から形成されており、  
前記空洞の内部の圧力が 10 Pa 以下である、電子デバイス。

27. 前記空洞の内部には、ゲッタリング薄膜が設けられている、請求項 26 に記載の電子デバイス。

28. 前記空洞の少なくとも一部は、前記ゲッタリング薄膜の下方にも存在している、請求項 27 に記載の電子デバイス。

29. 前記ゲッタリング薄膜を加熱するマイクロヒータ部を備えている、請求項27または28に記載の電子デバイス。

図1A

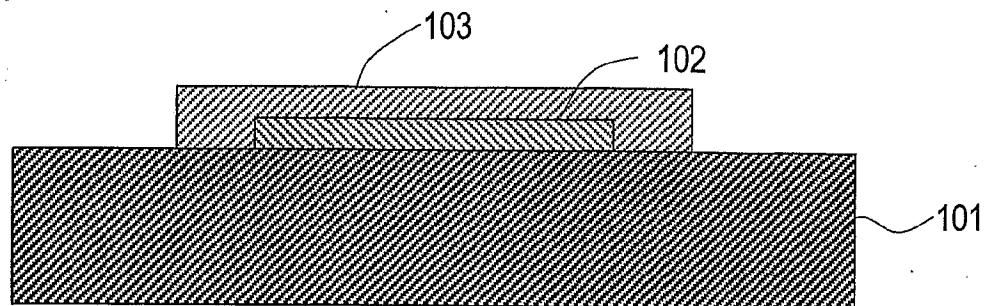


図1B

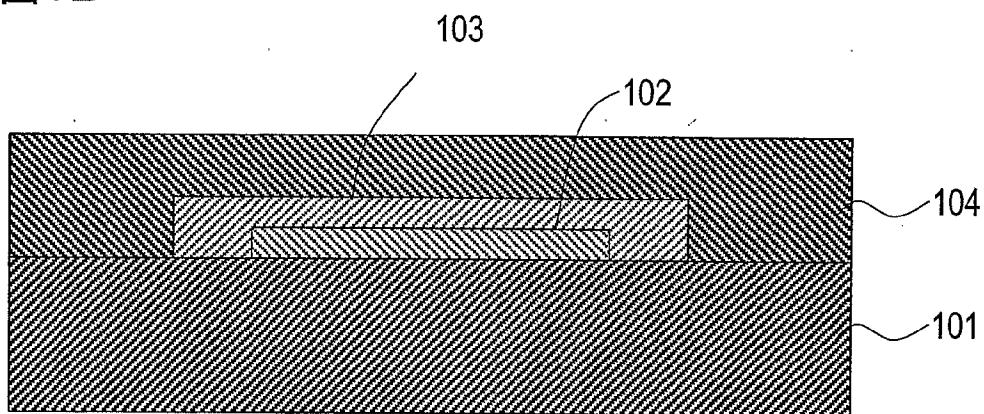


図1C

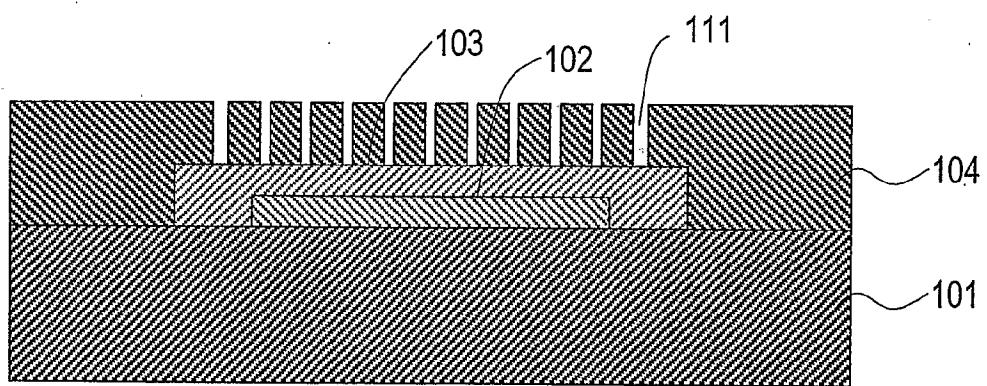


図1D

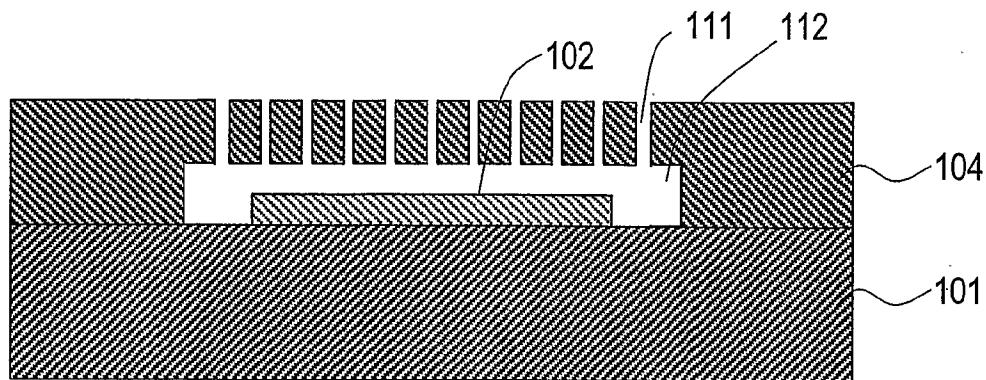


図1E

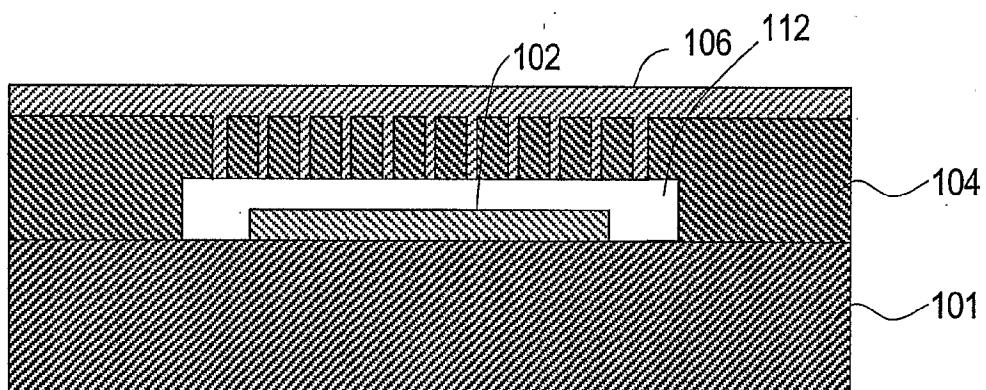


図1F

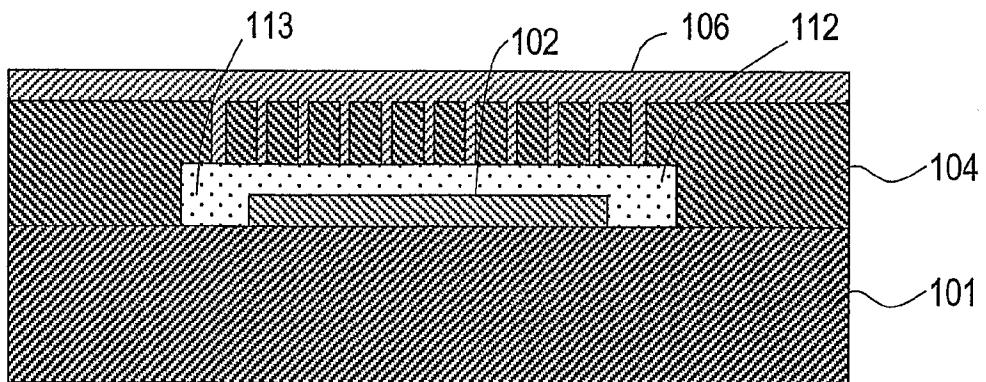


図2

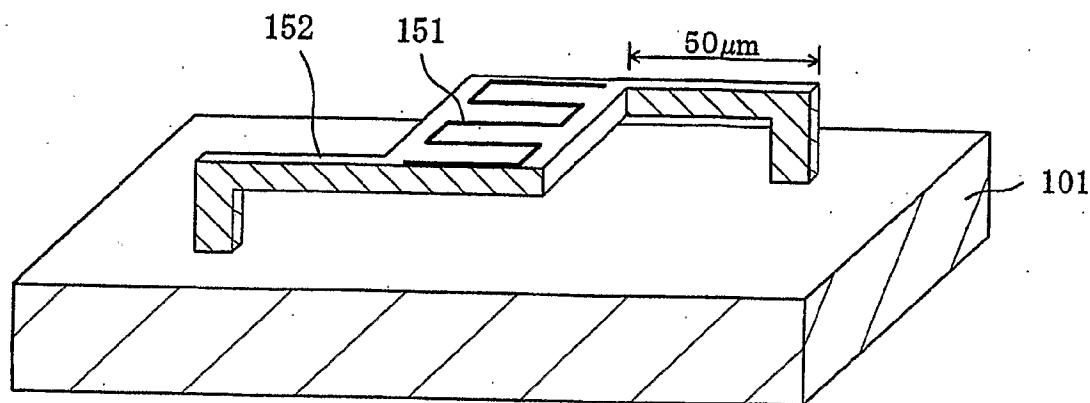


図3

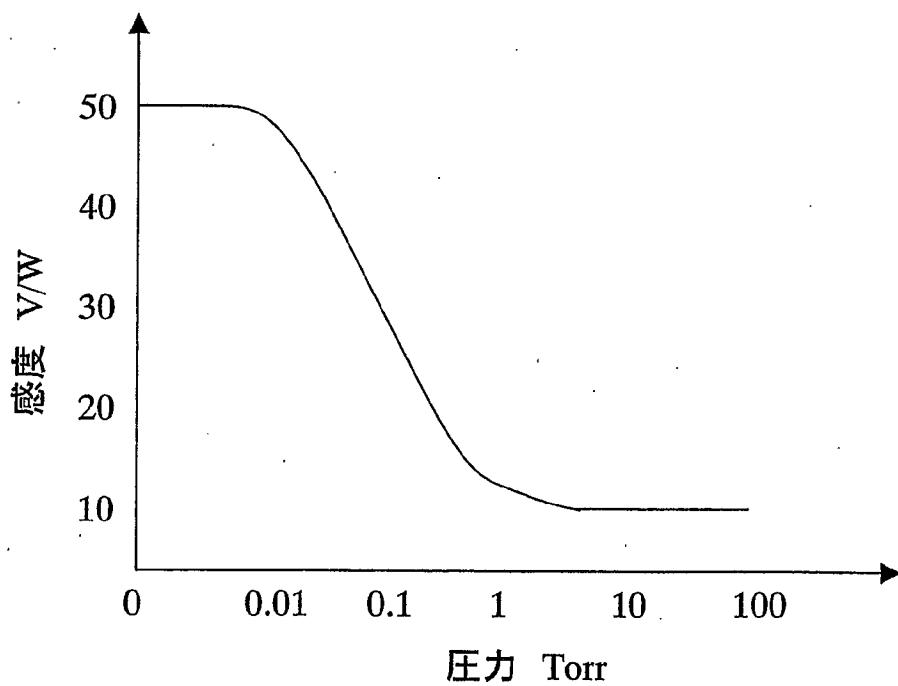


図4A

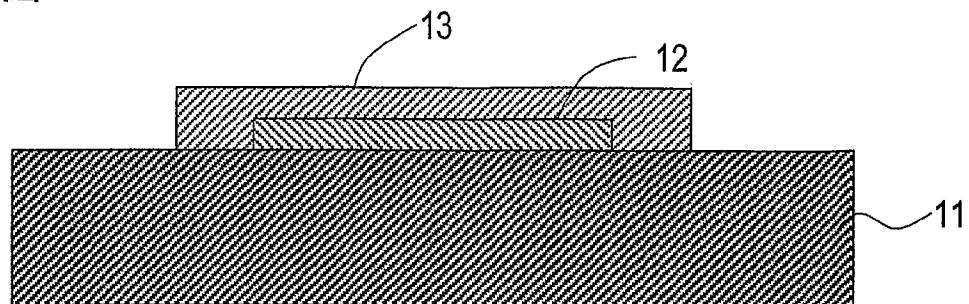


図4B

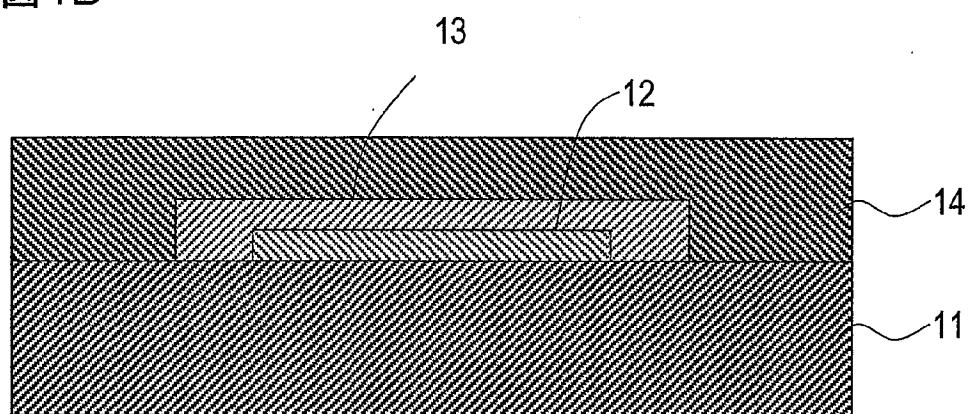


図4C

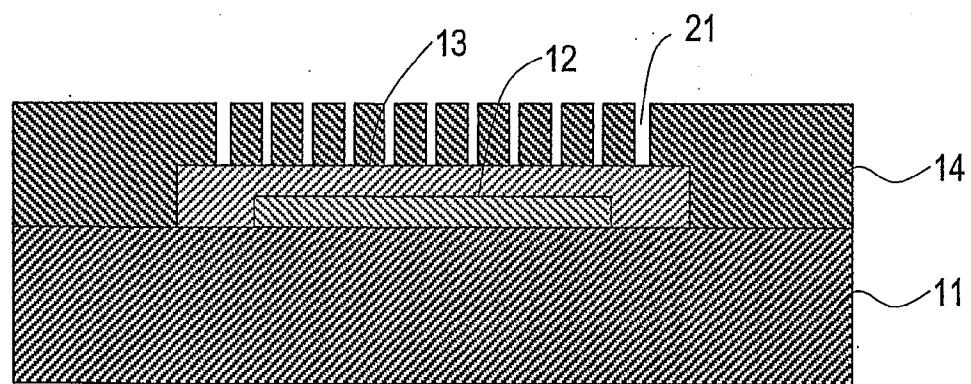


図4D

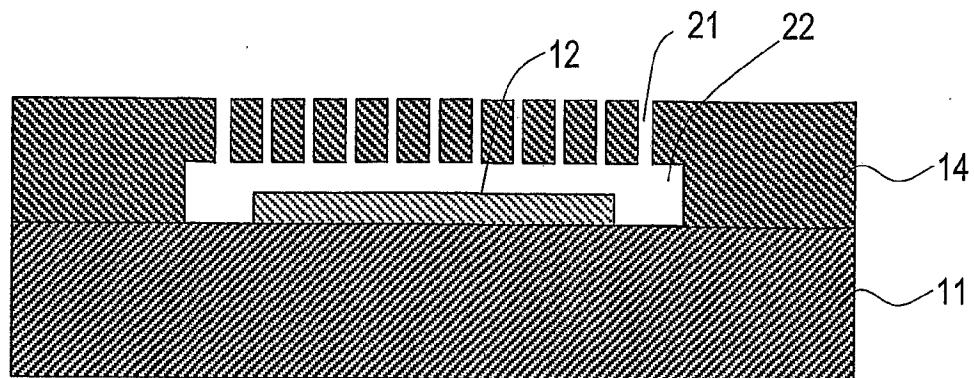


図4E

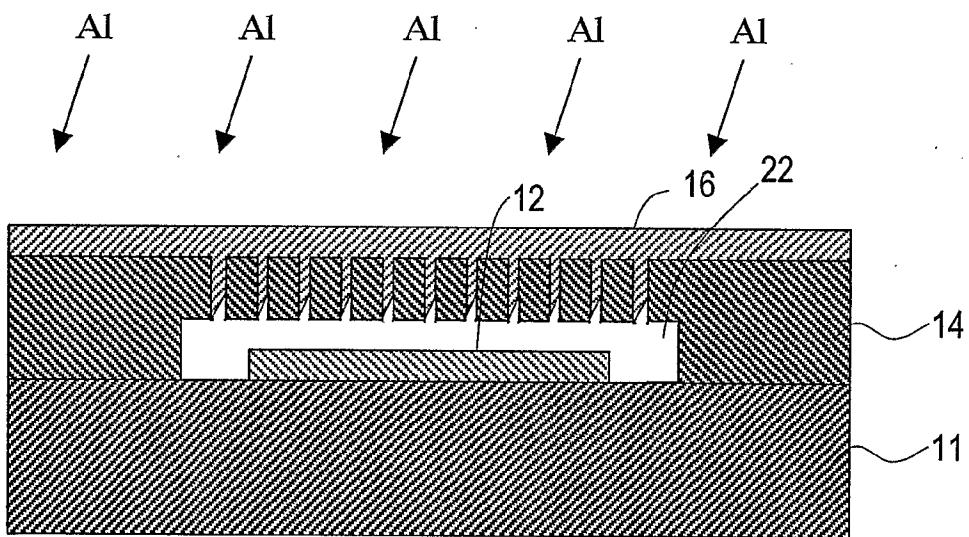


図4F

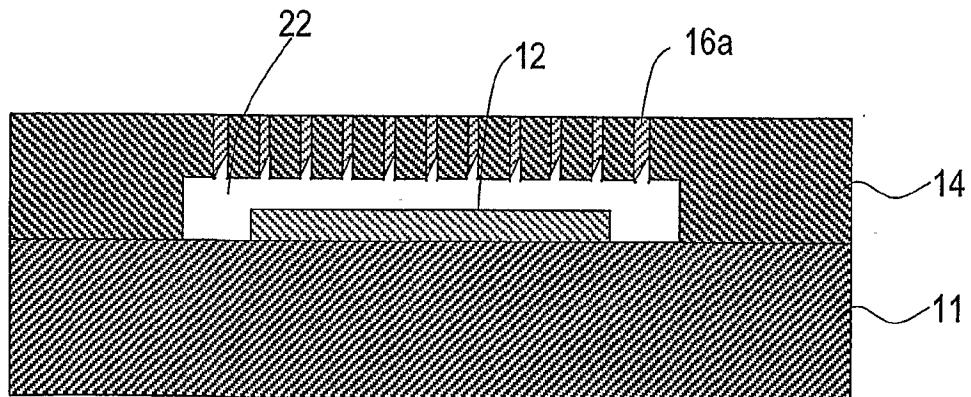
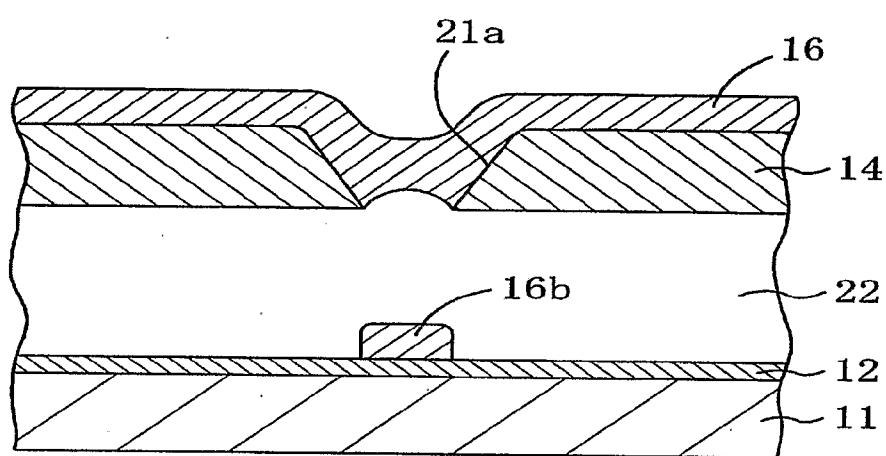


図5

(a)



(b)

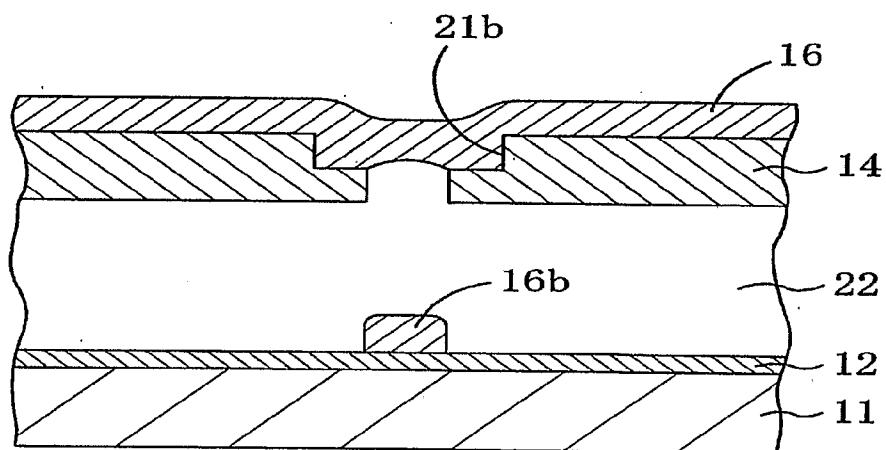


図6

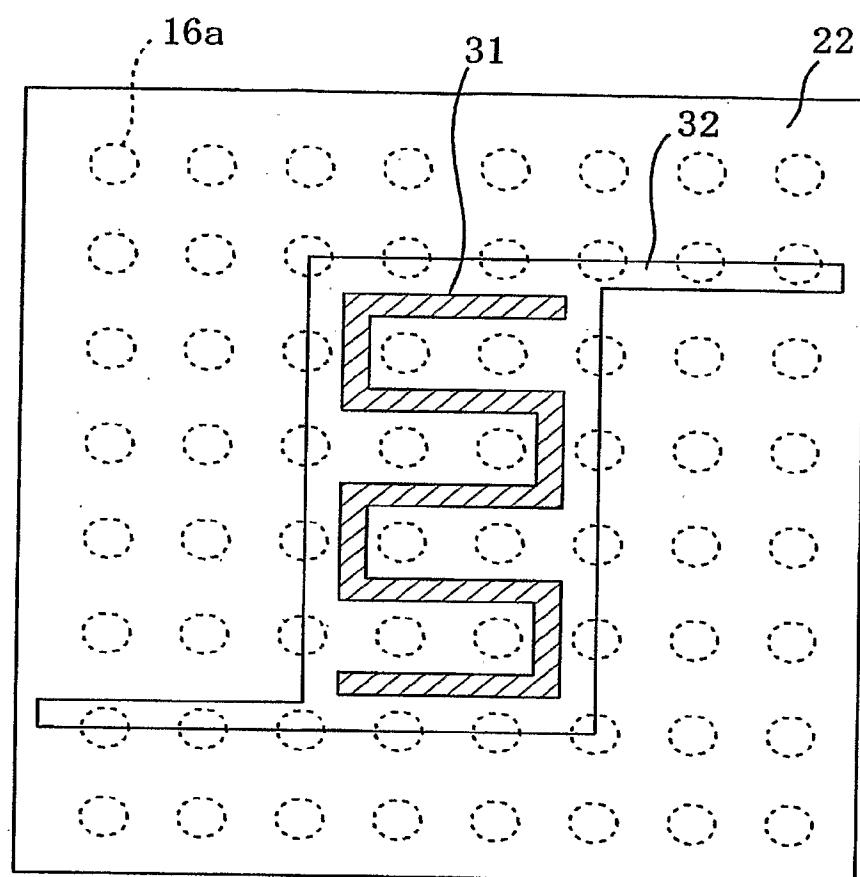


図7A

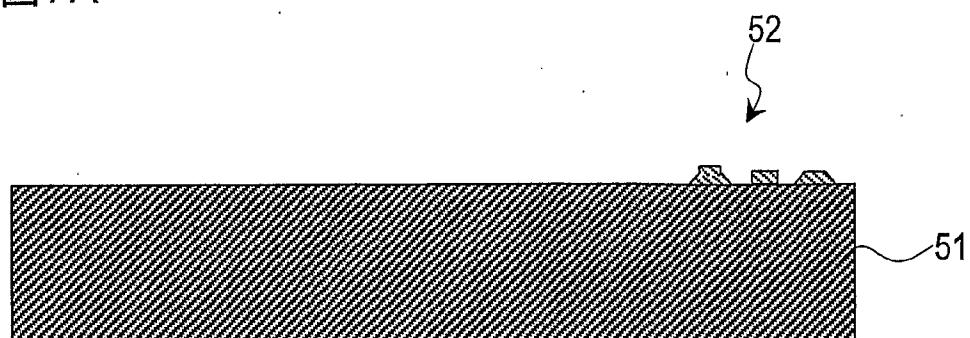


図7B

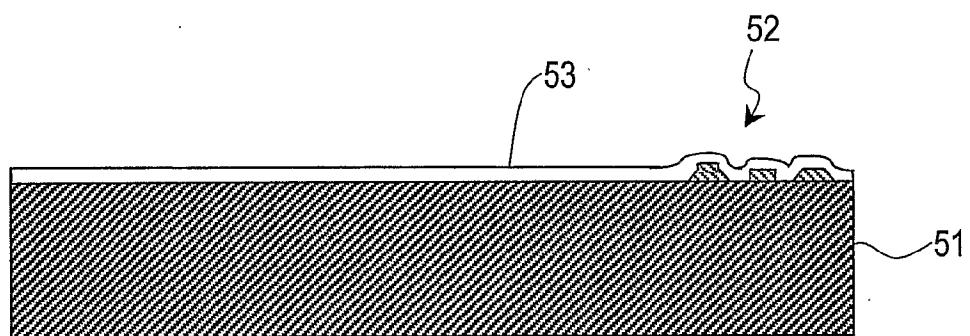


図7C

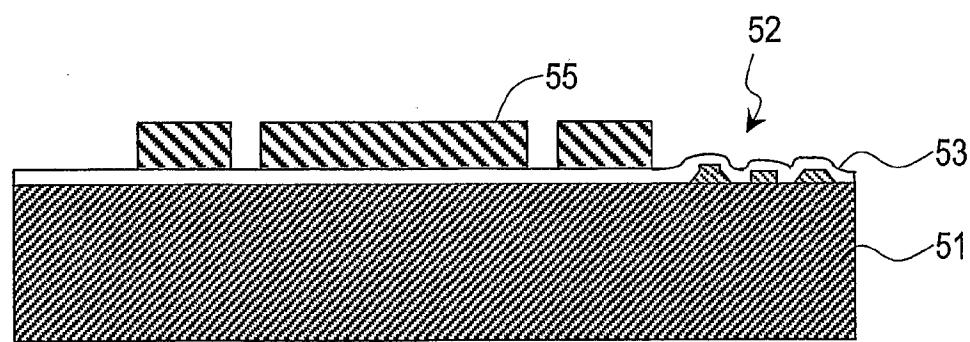


図7D

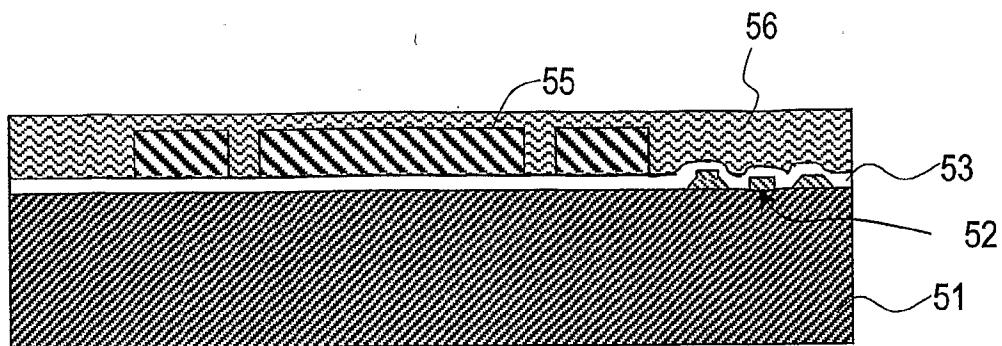


図7E

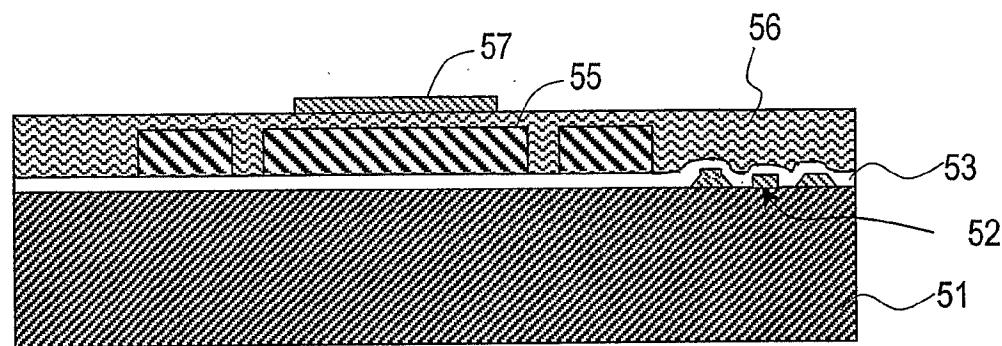


図7F

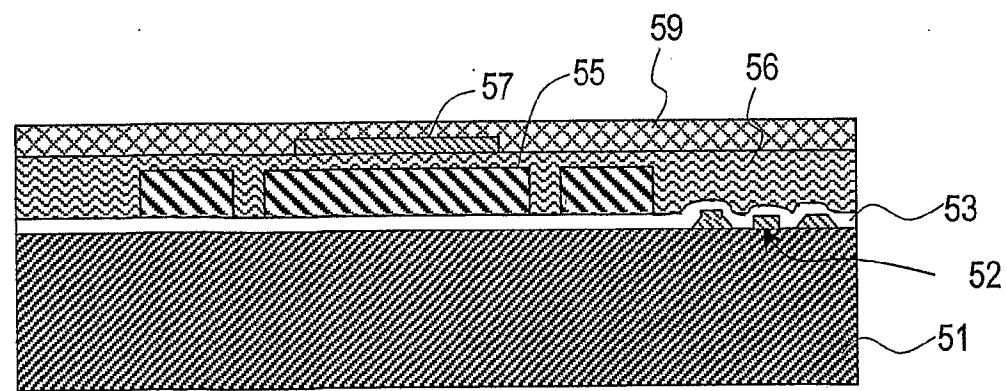


図7G

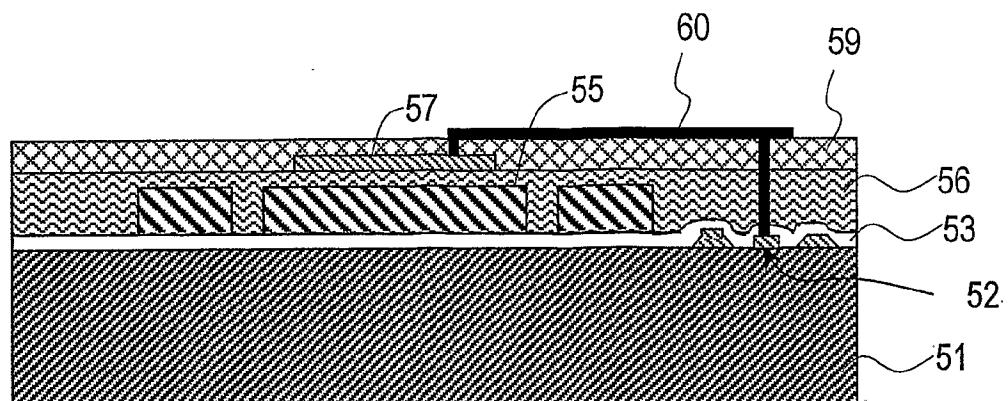


図7H

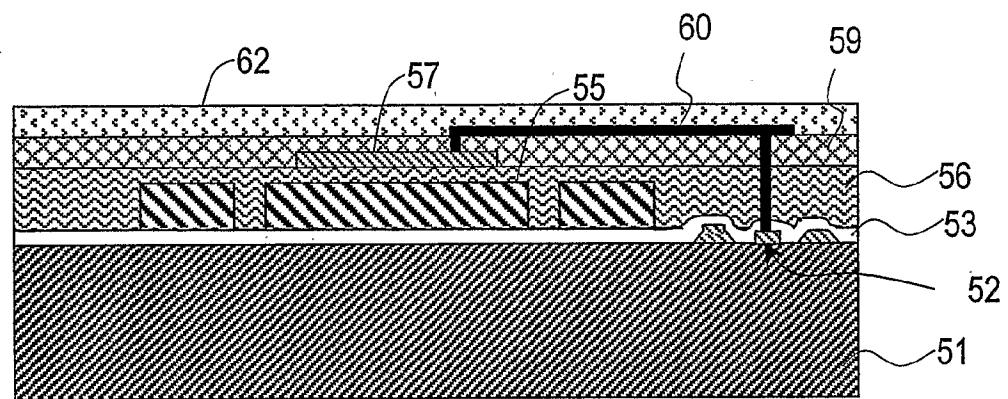


図7I

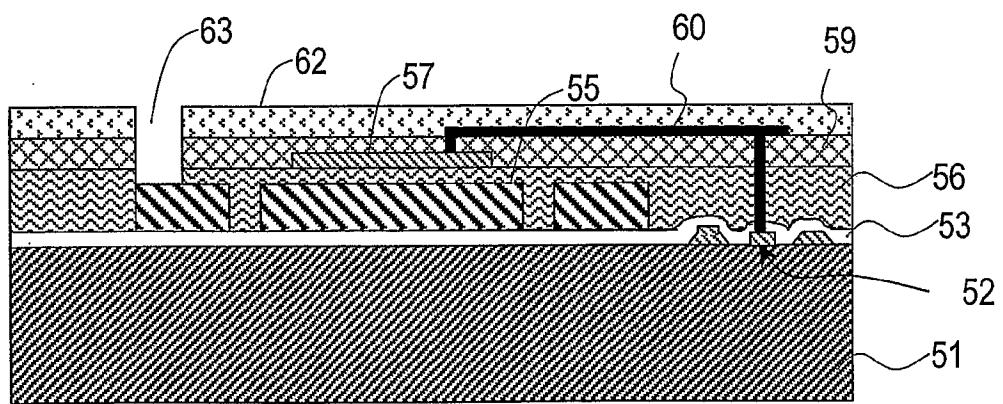


図7J

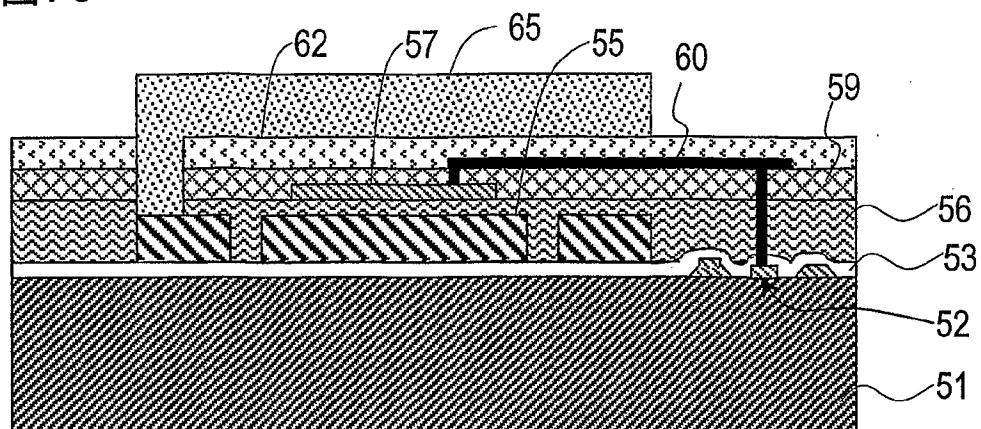


図7K

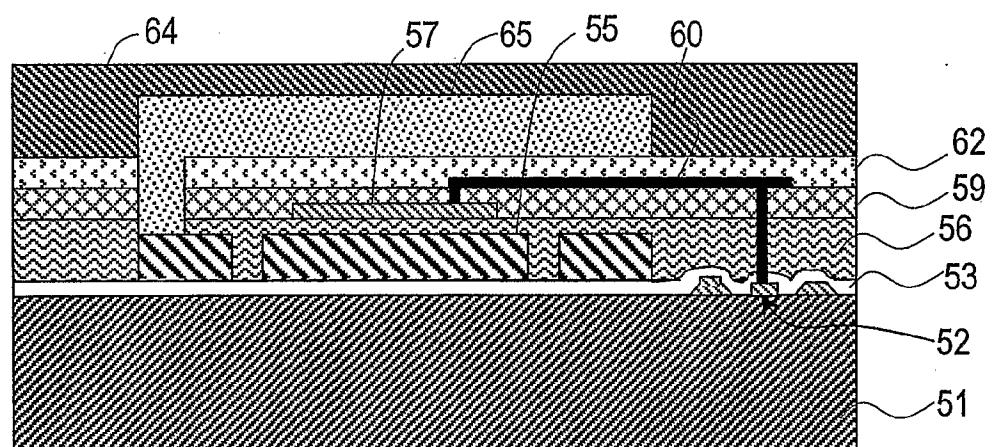


図7L

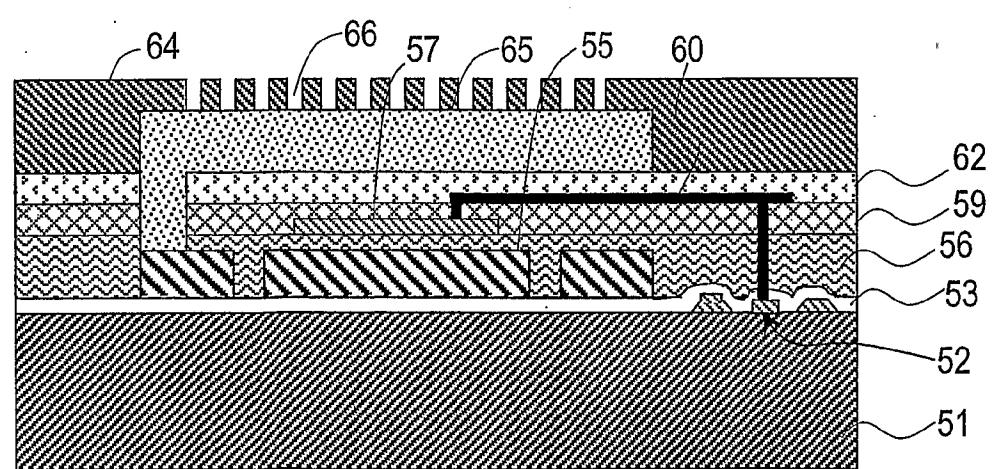


図7M

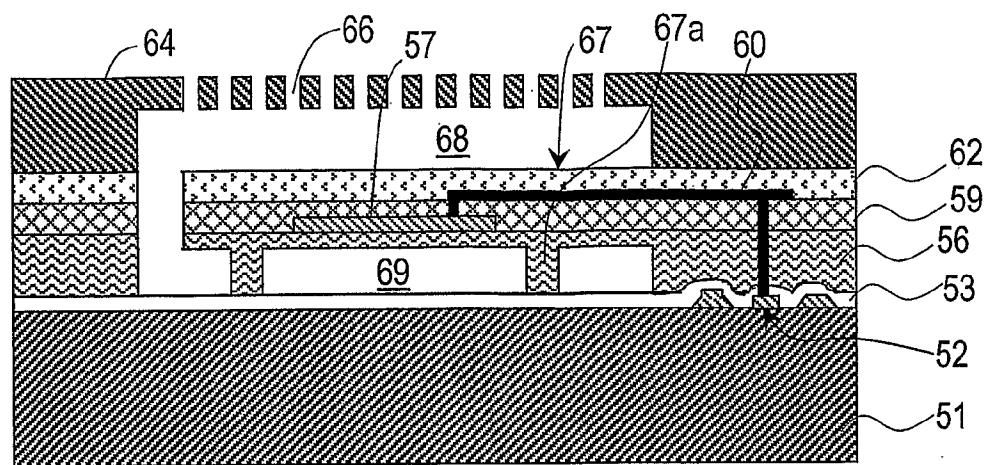


図7N

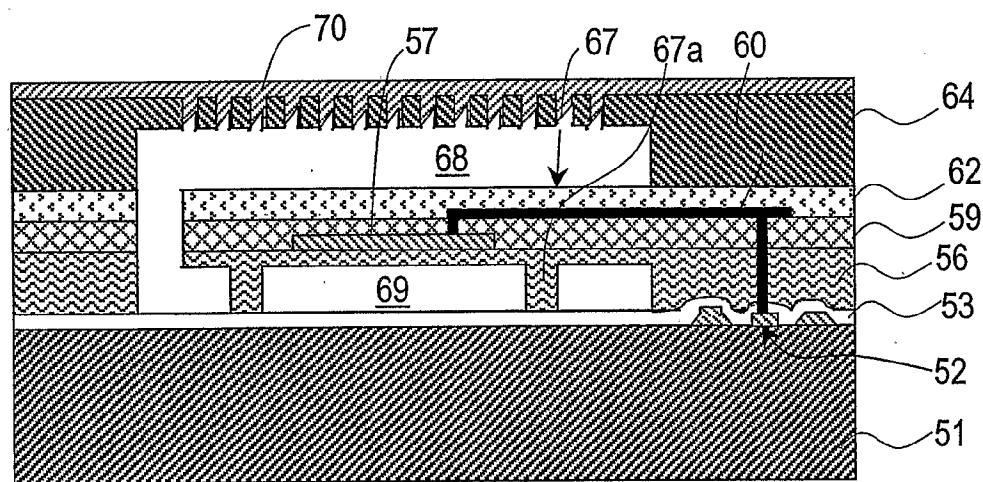


図7O

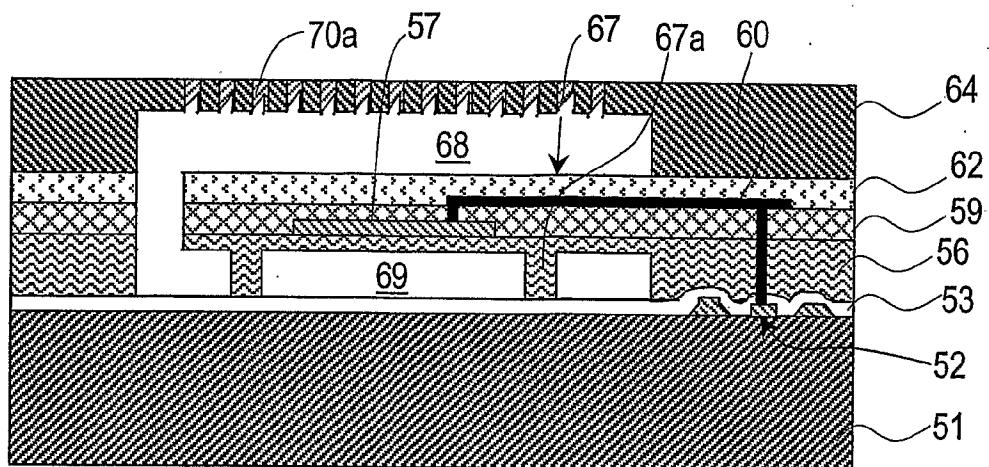


図8

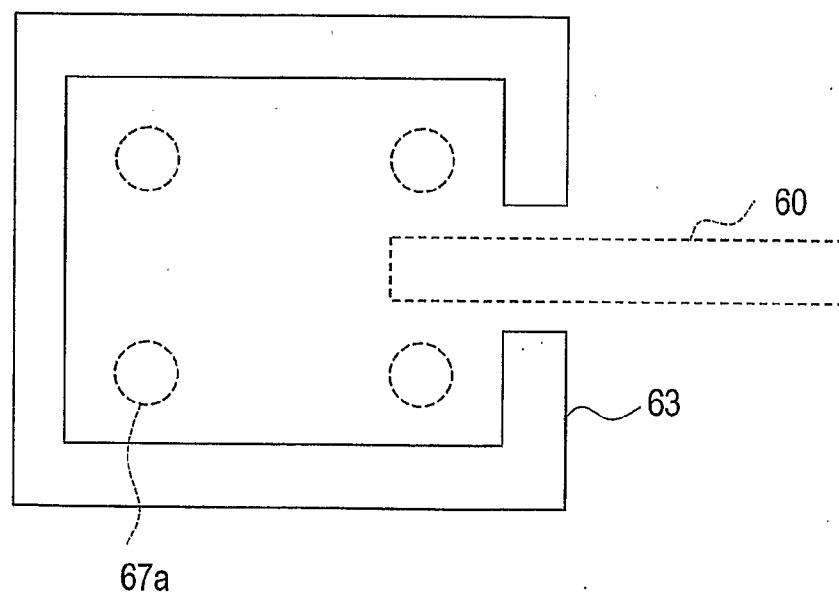


図9

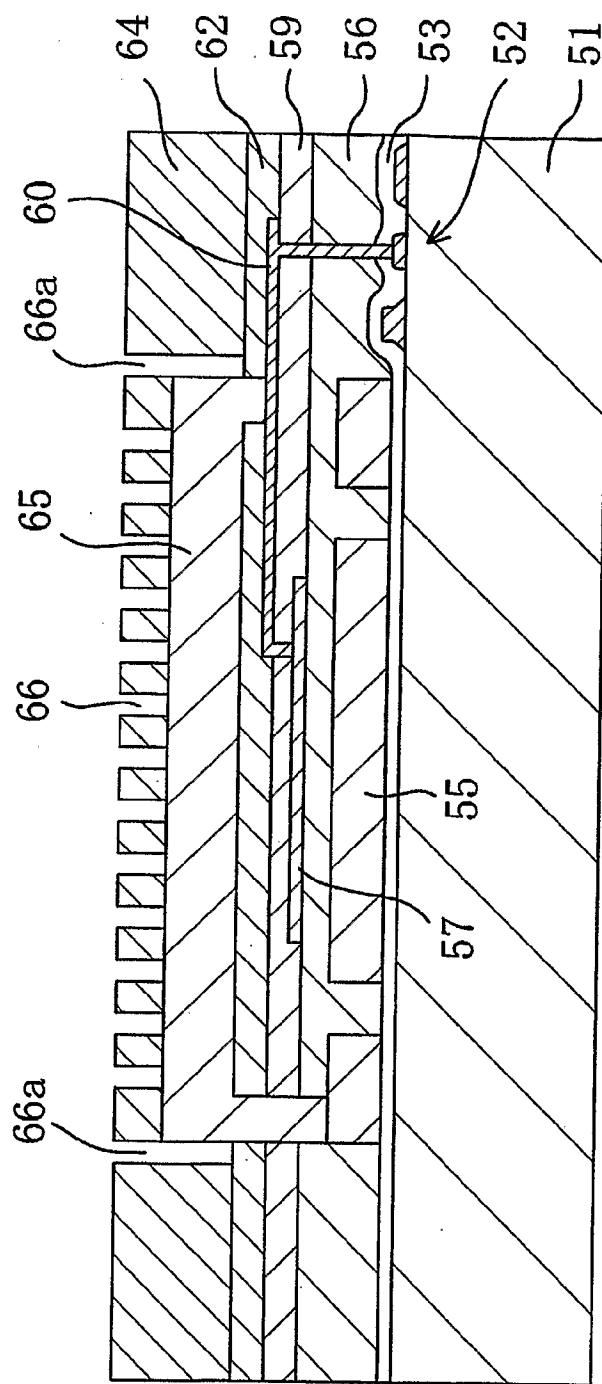


図10A

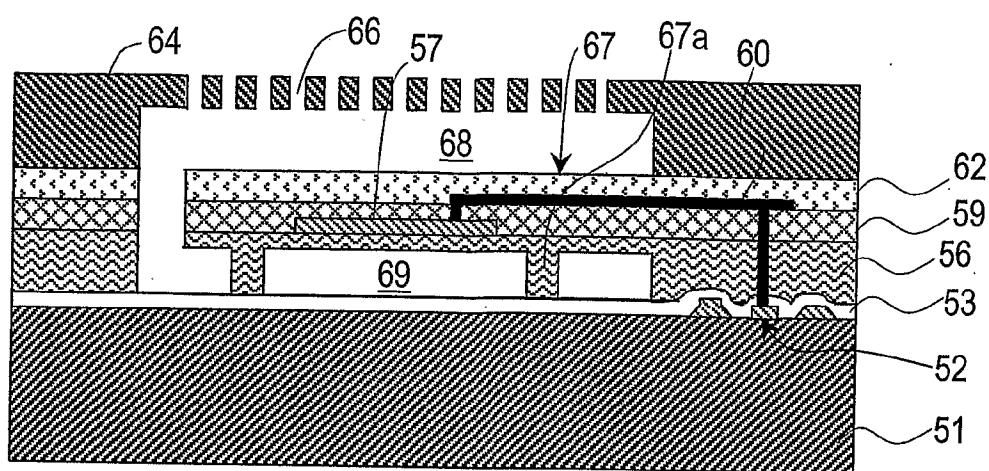


図10B

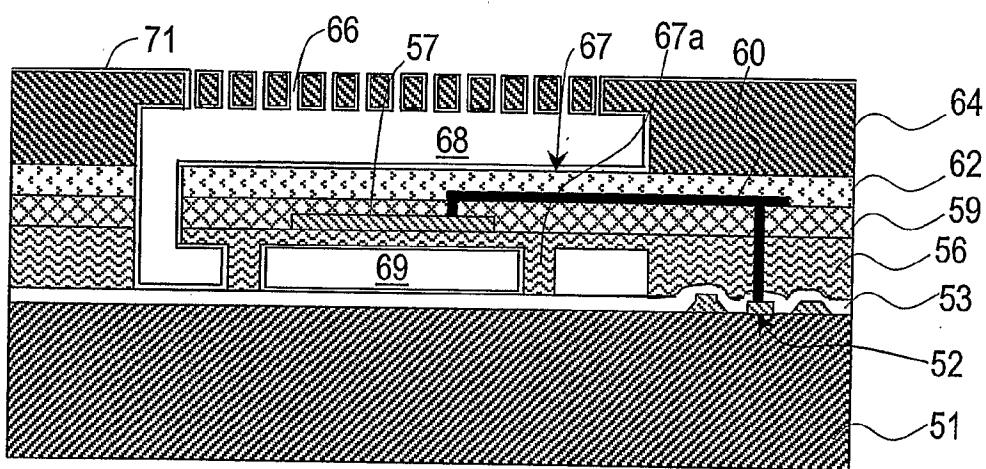


図10C

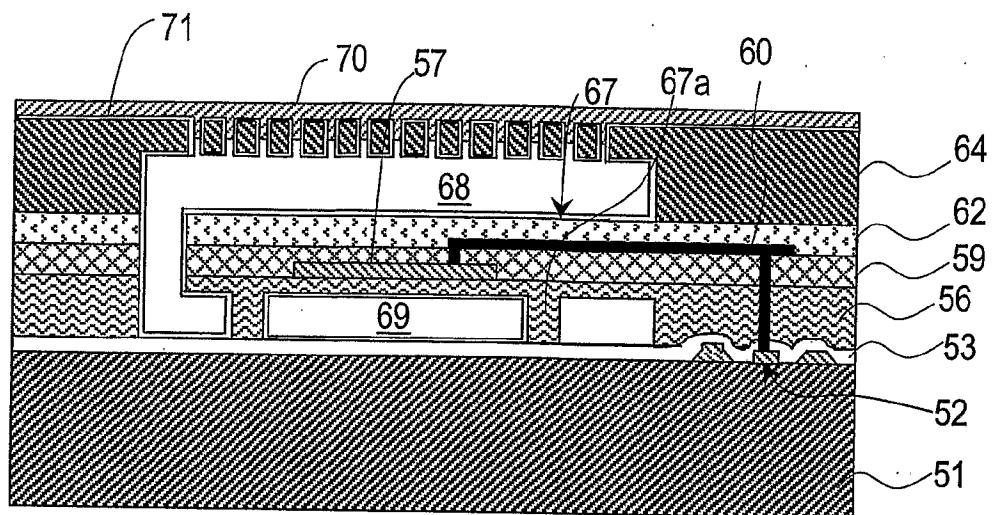


図11

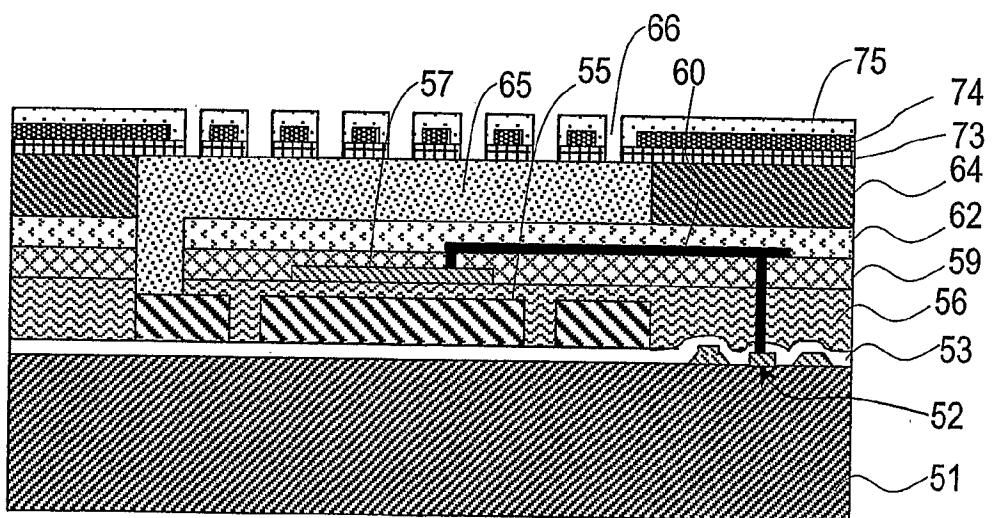


圖 12

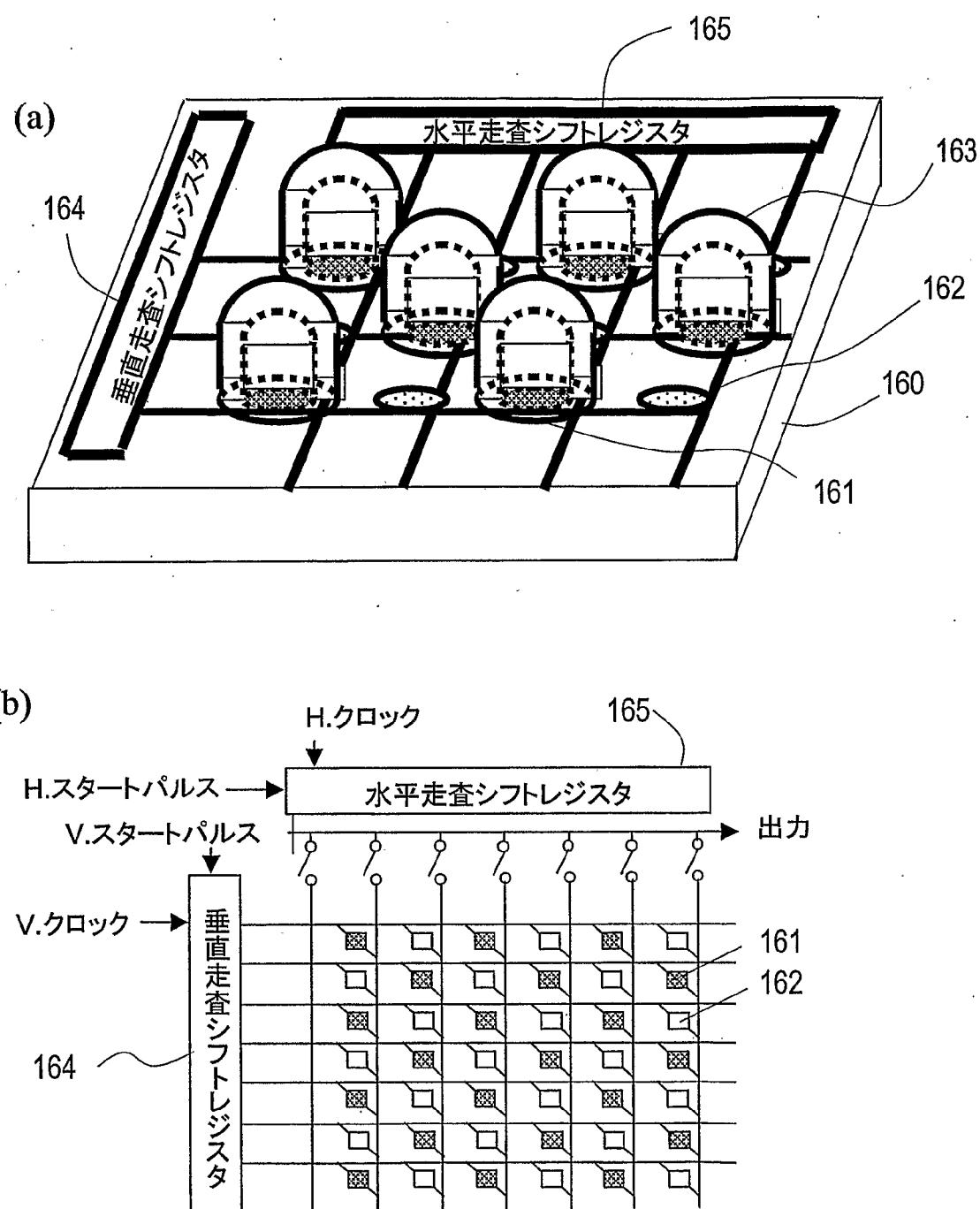


図13

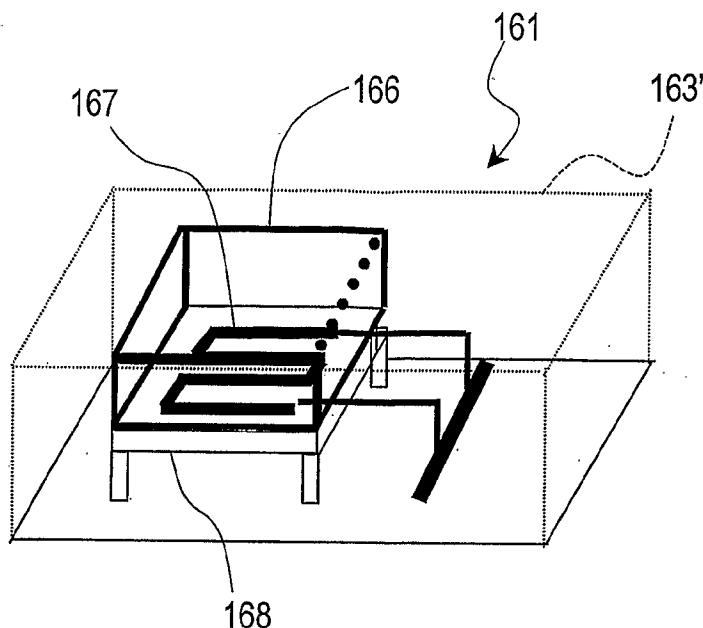


図14

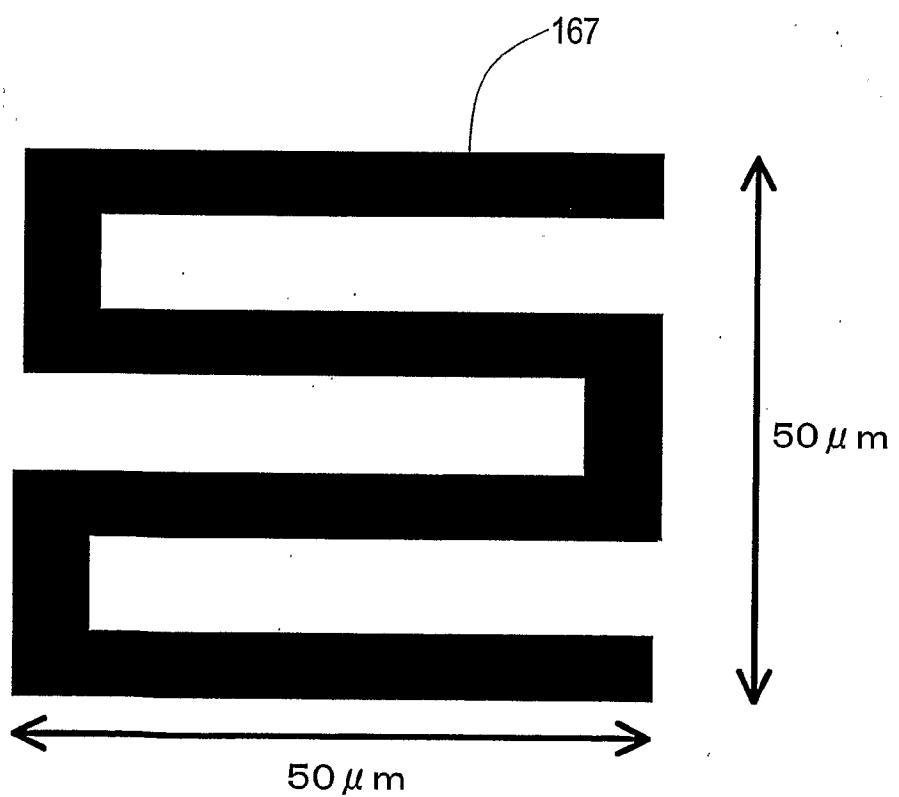


図15

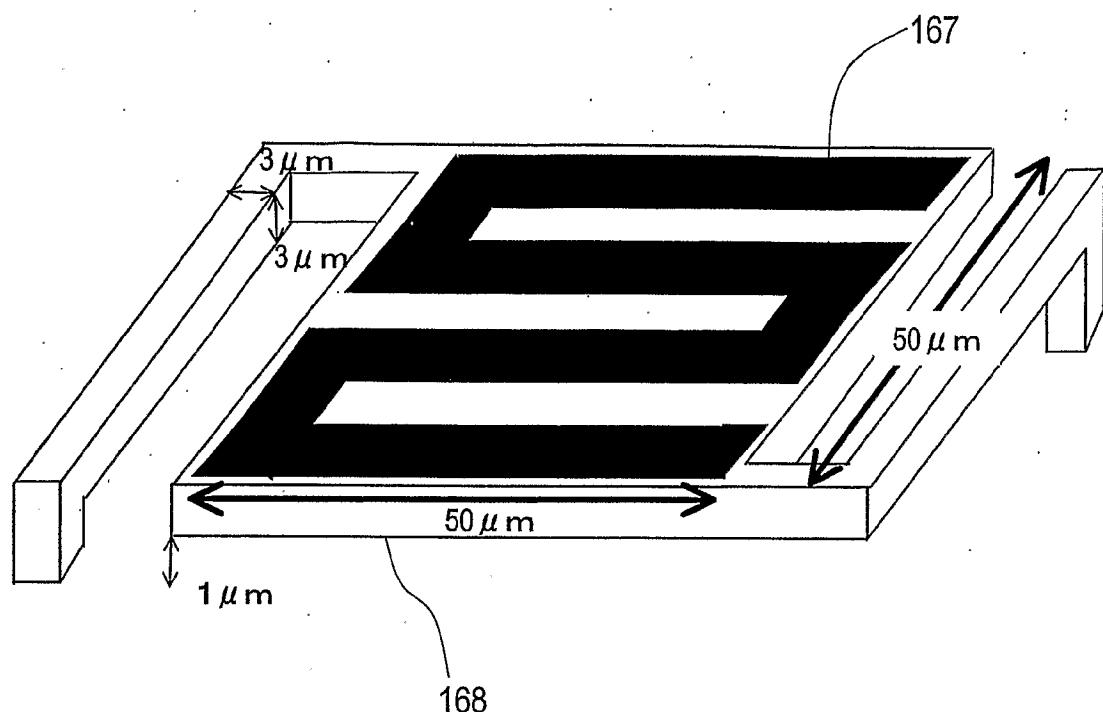


図16

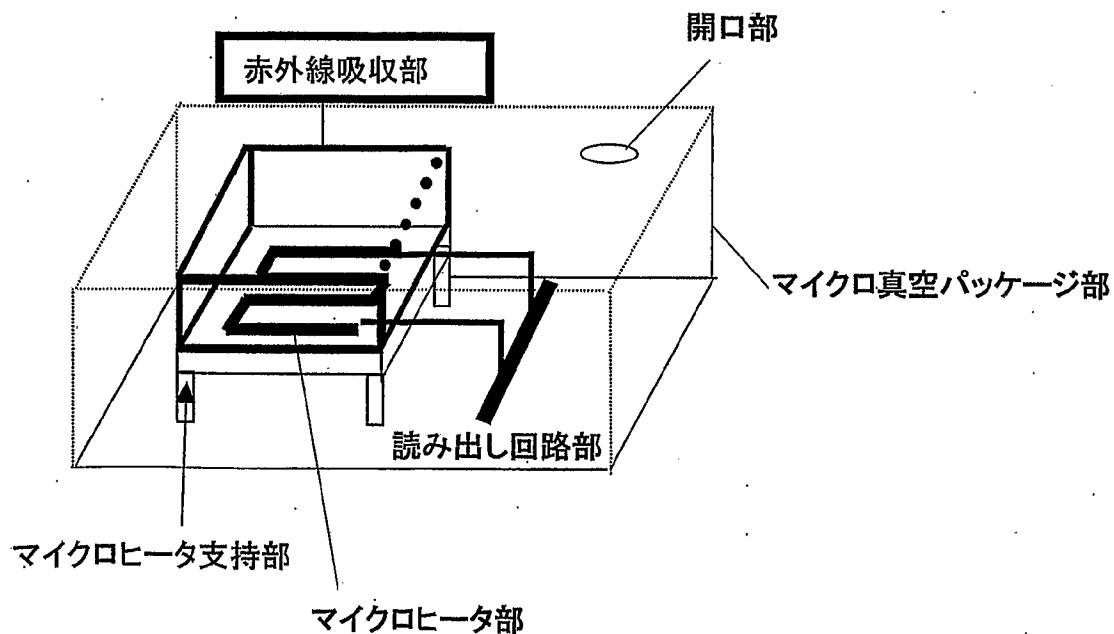


図17A

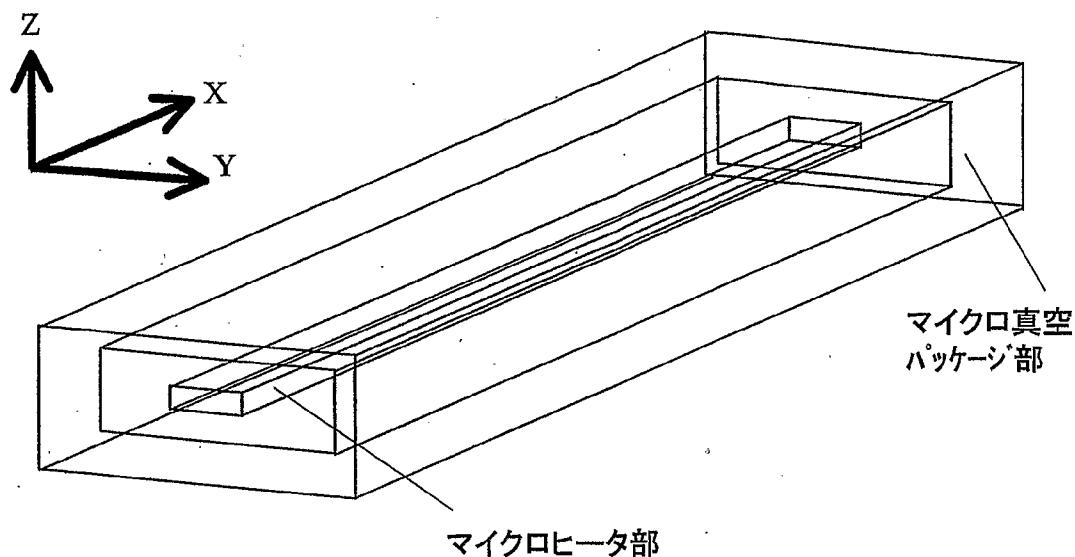


図17B

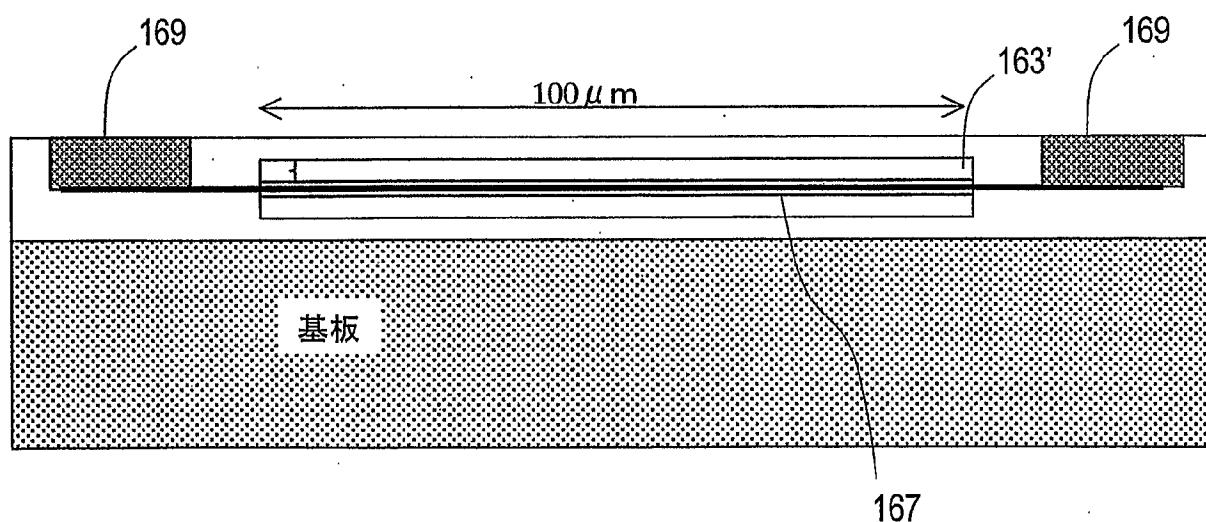


図17C

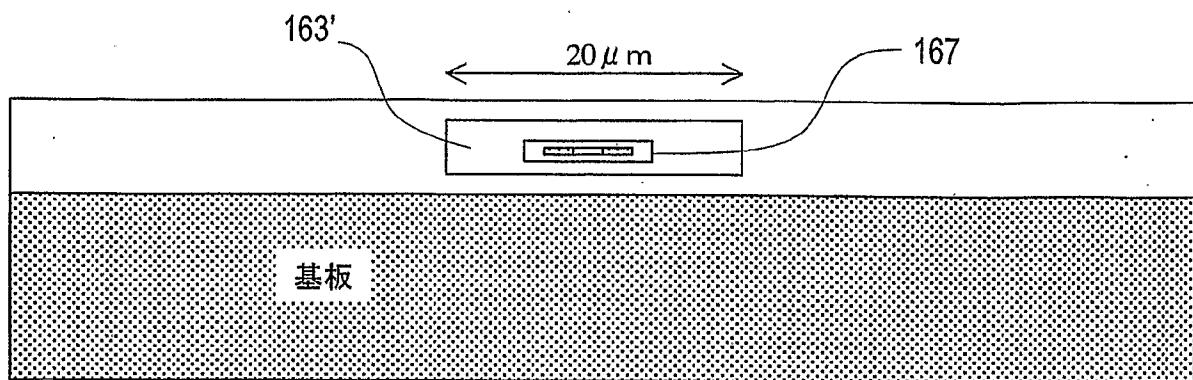


図17D

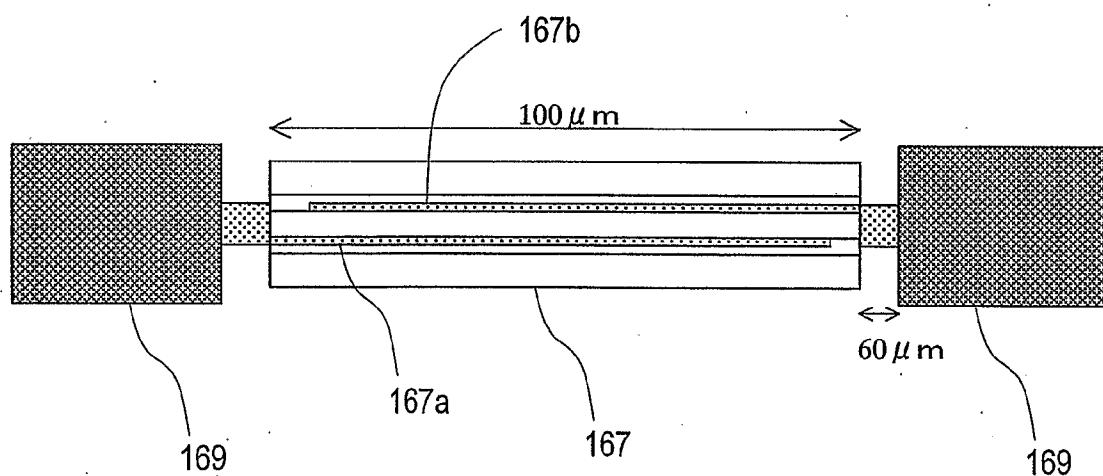
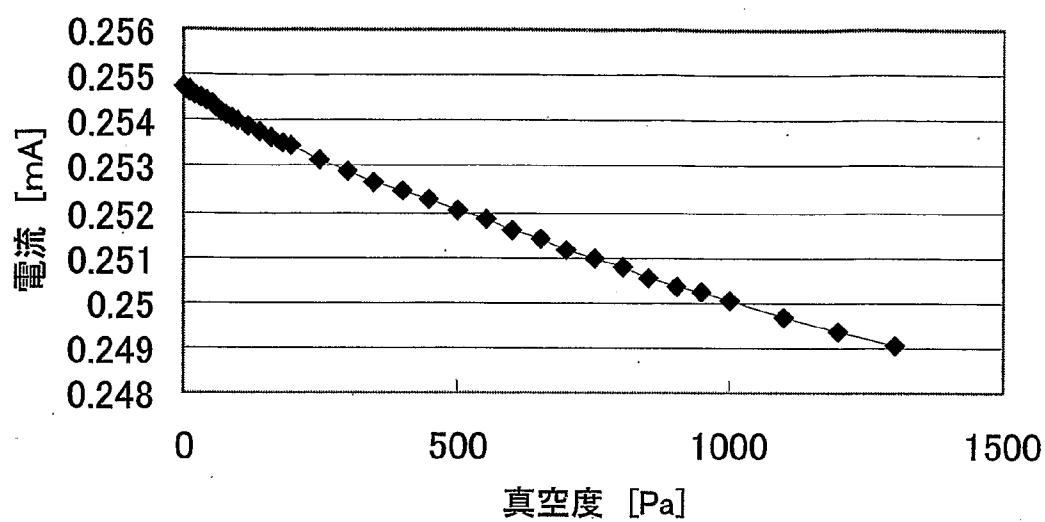


図18



真空度-電流特性(印加電圧5V)

図19

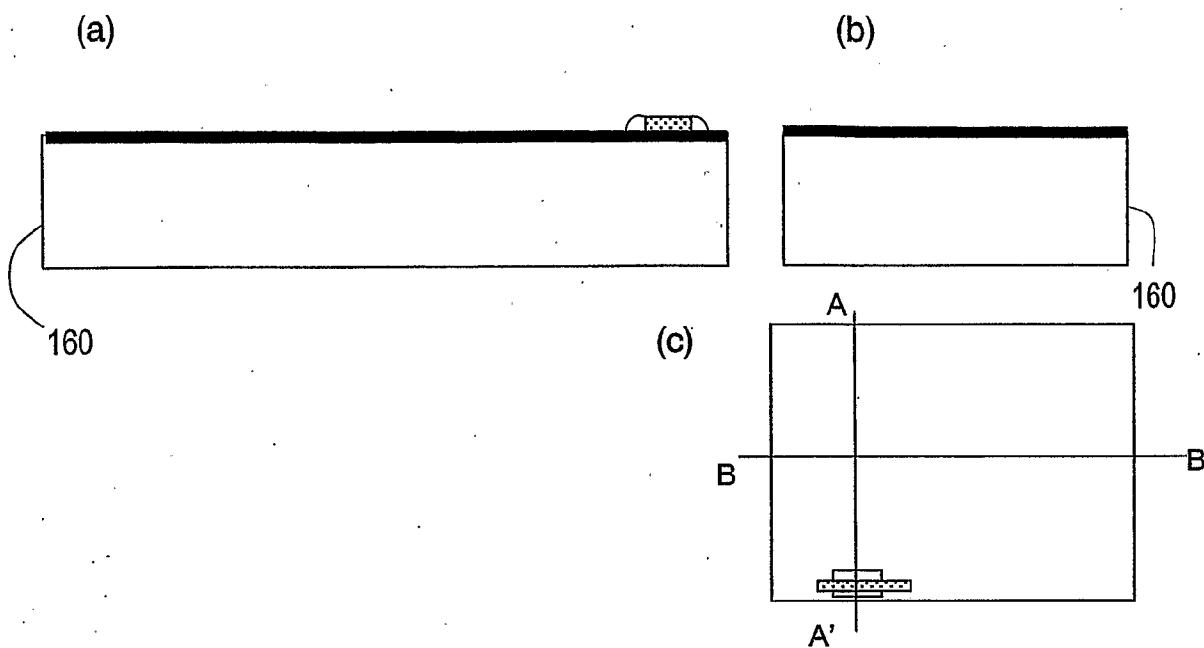


図20

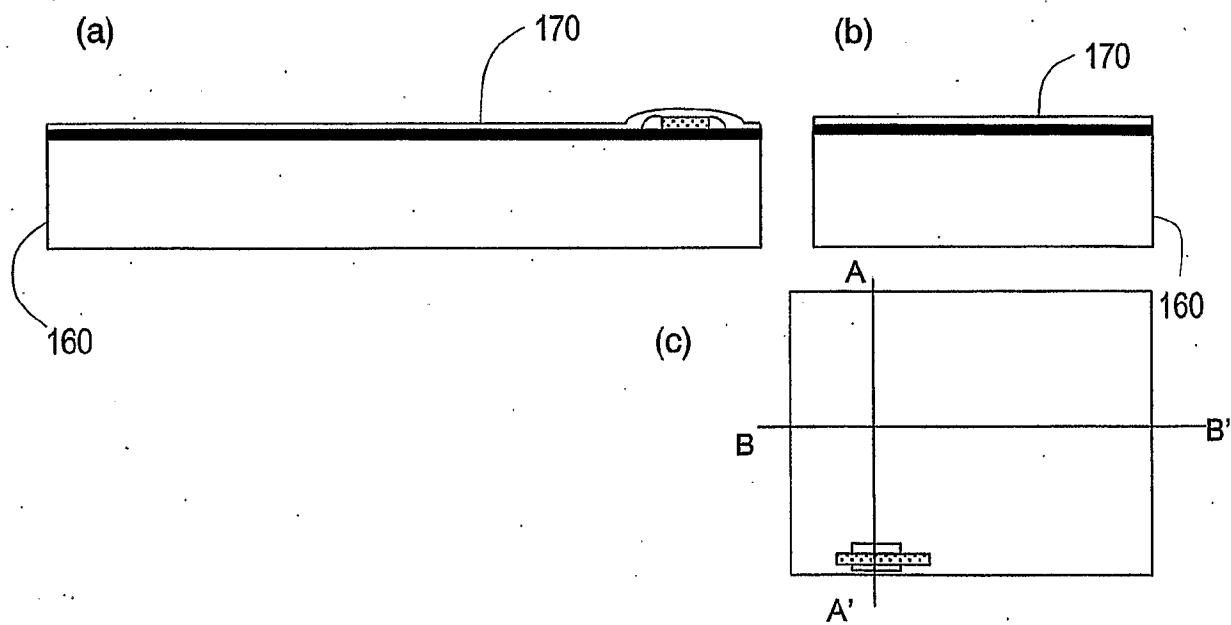


図21

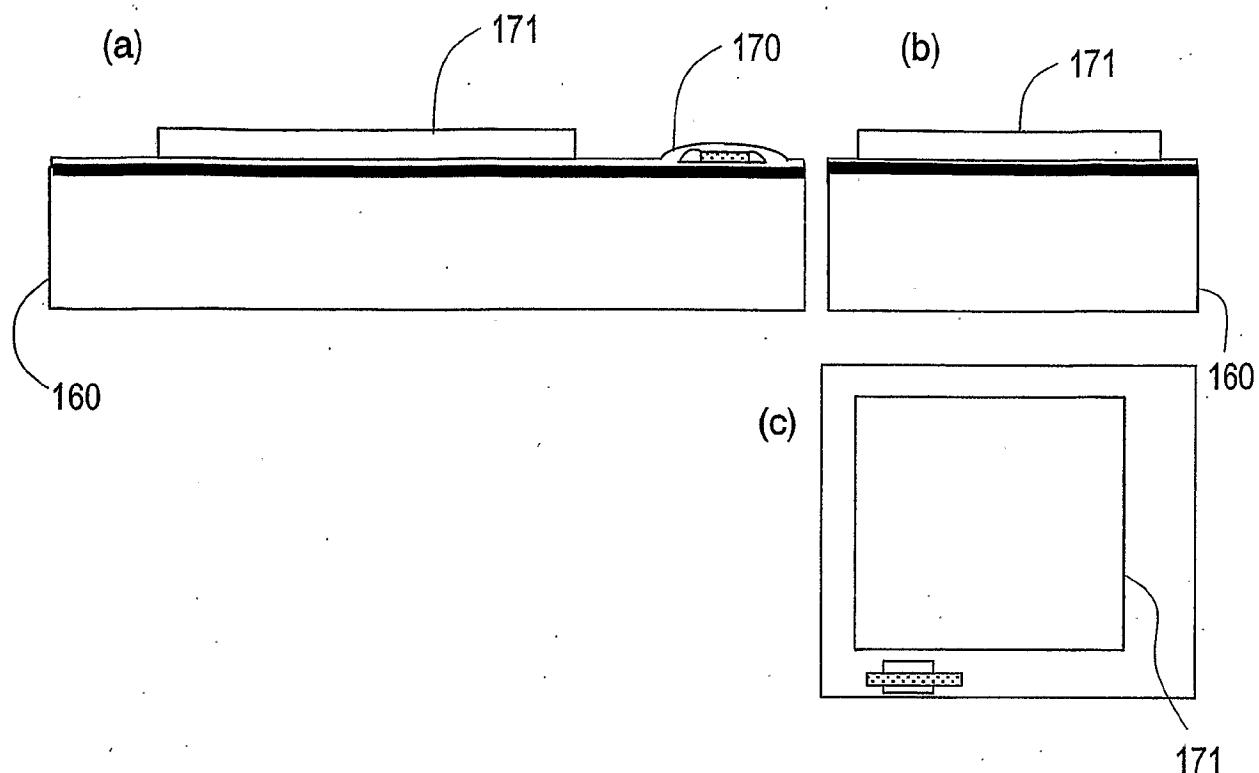


図22

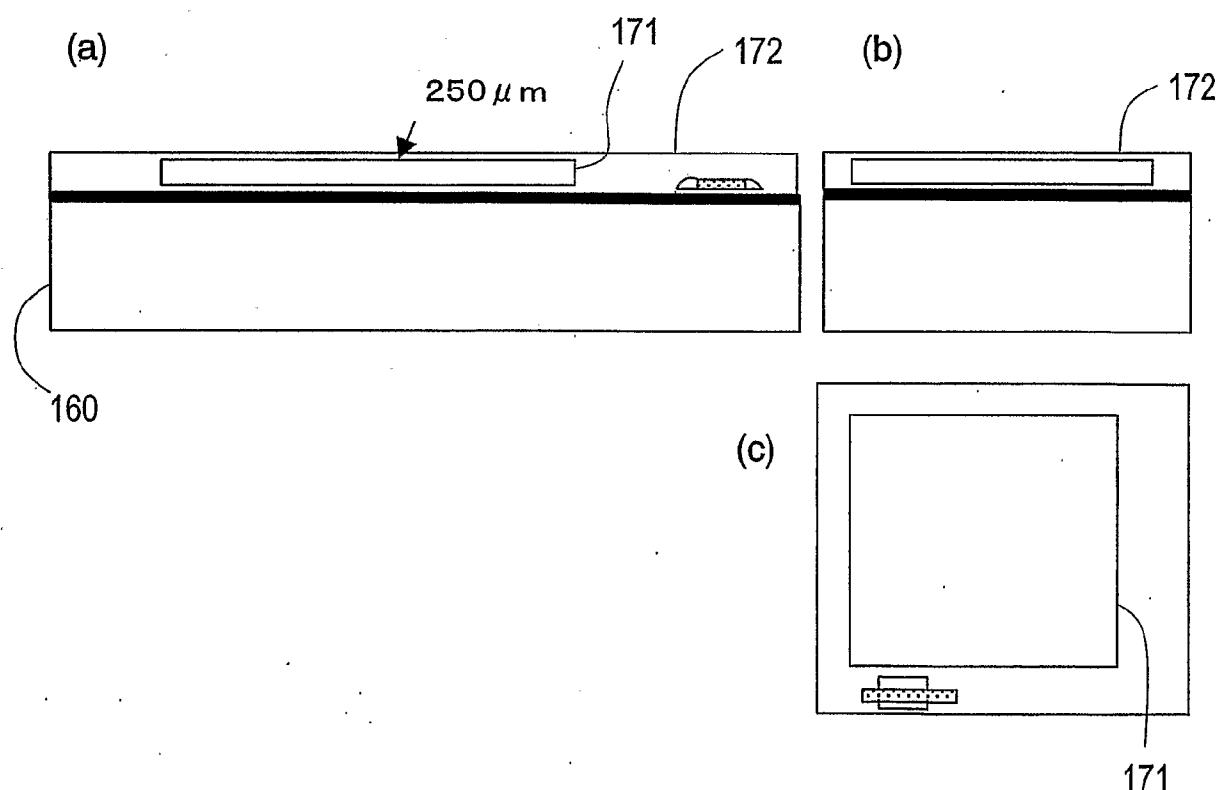


図23

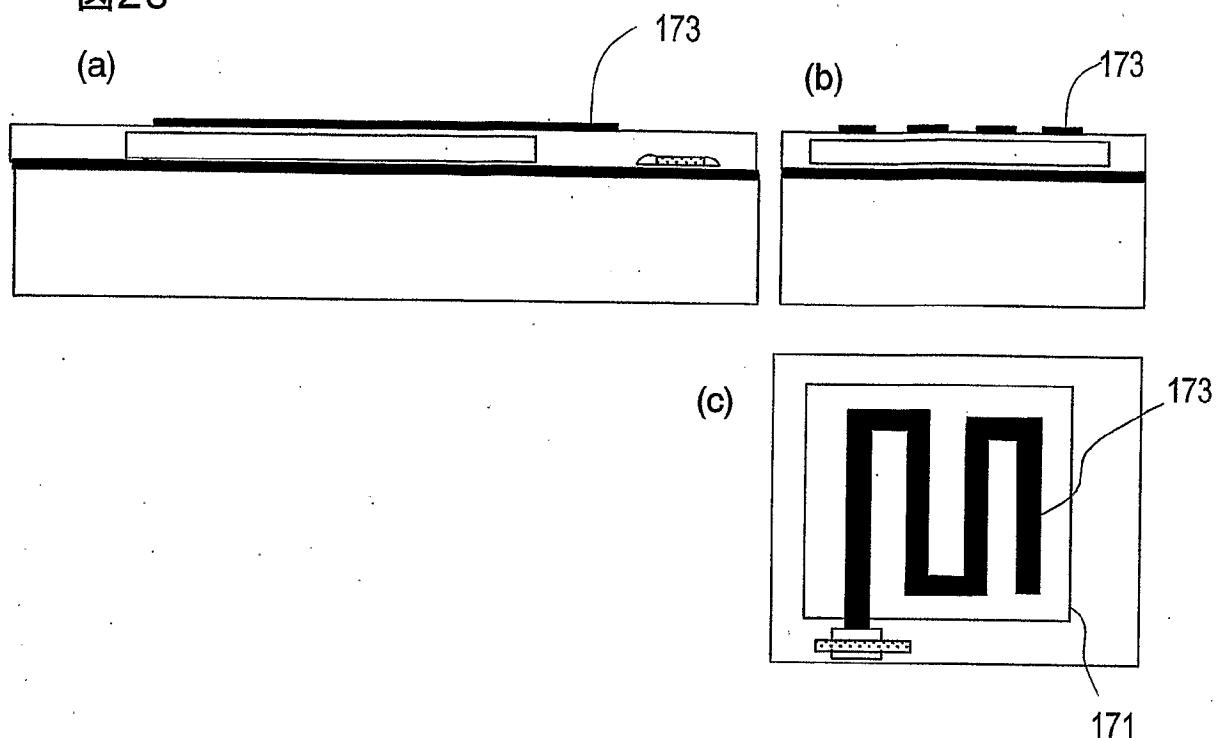


図24

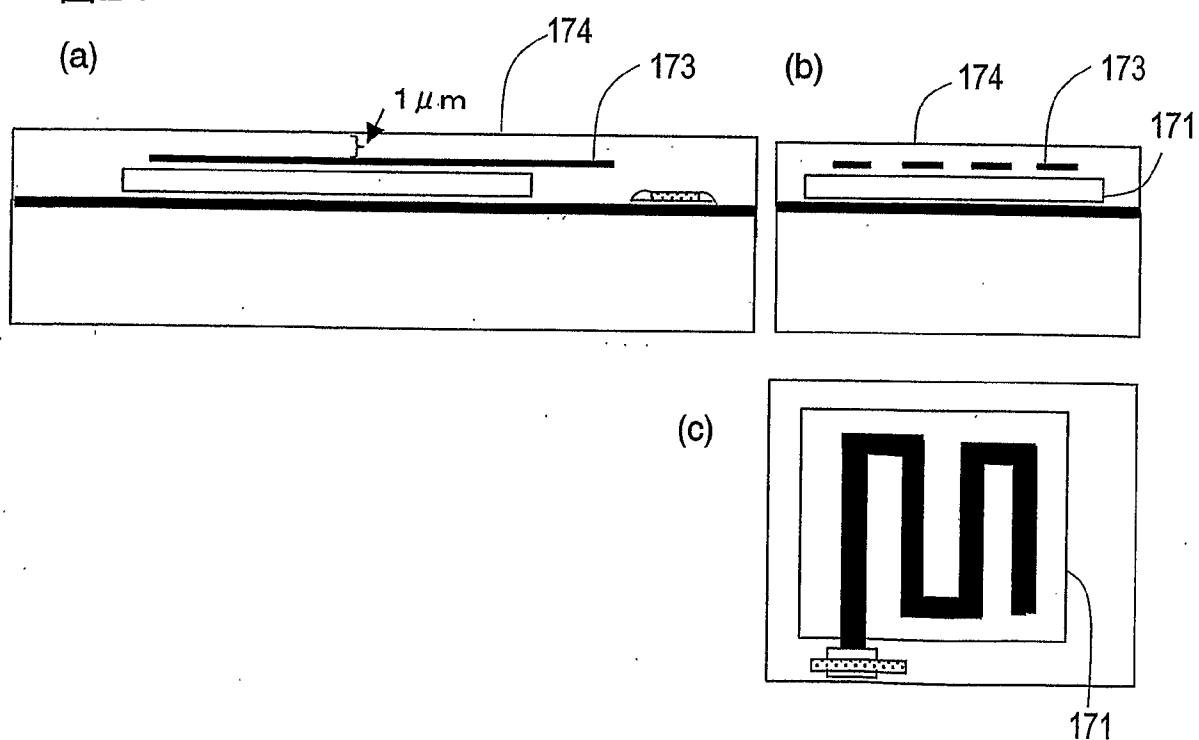


図25

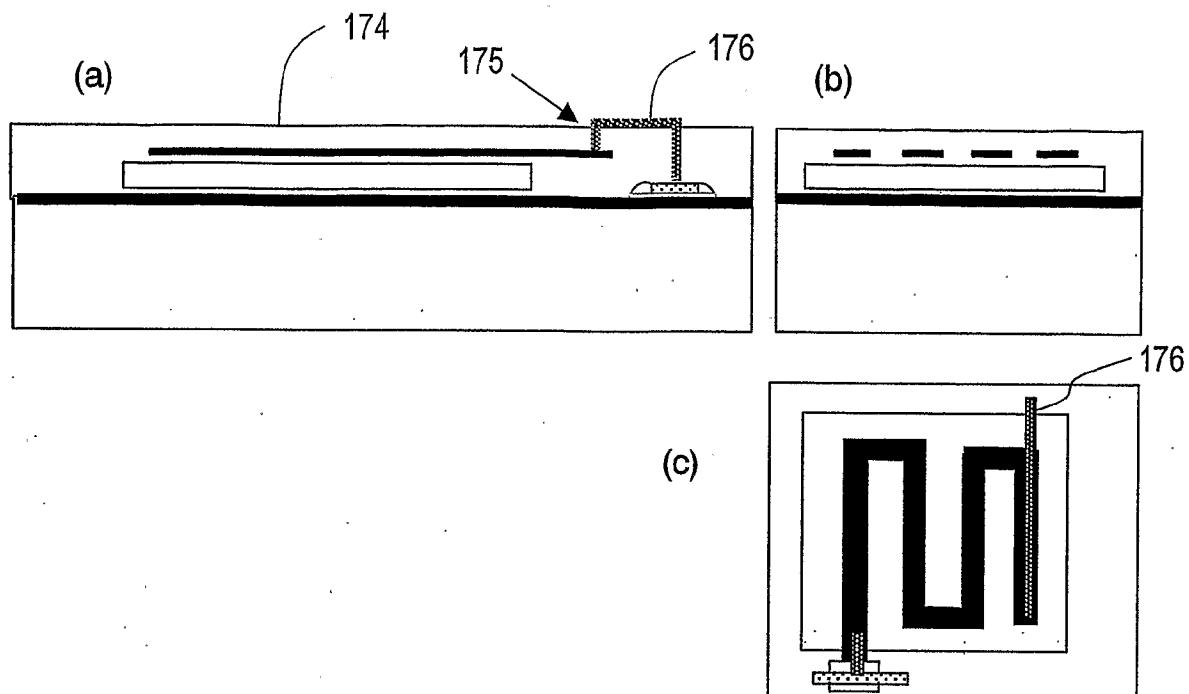


図26

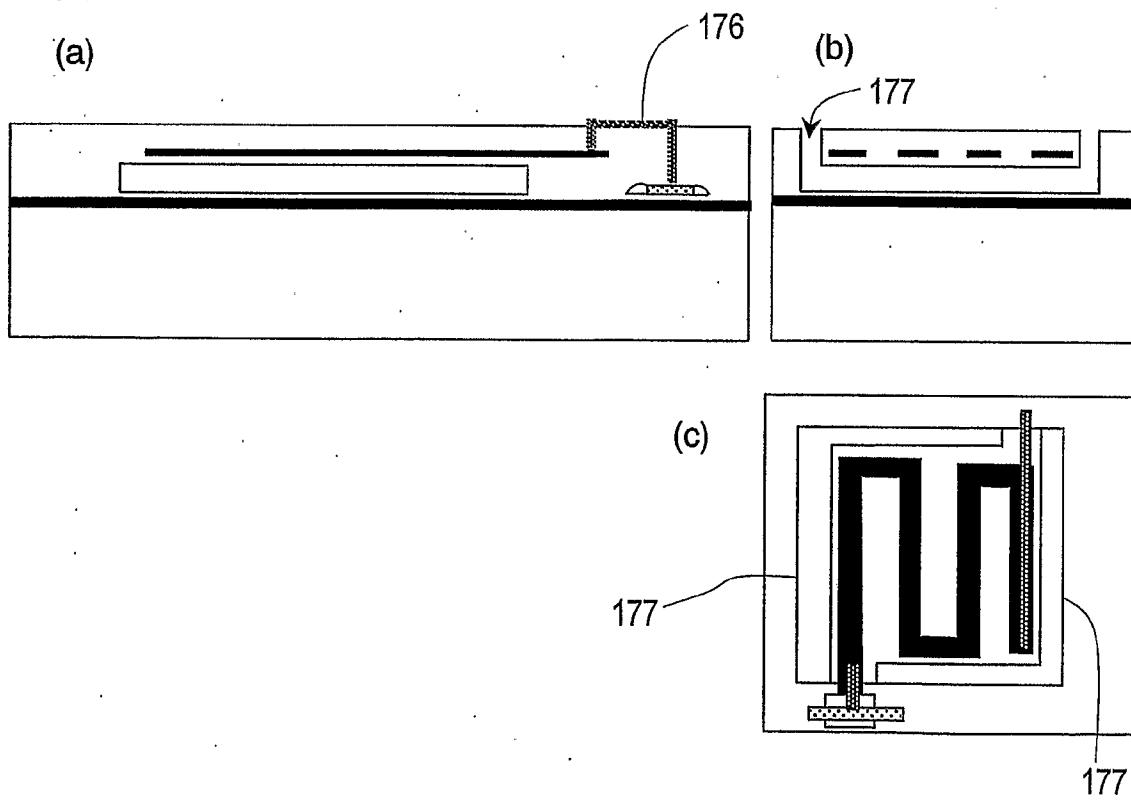


図27

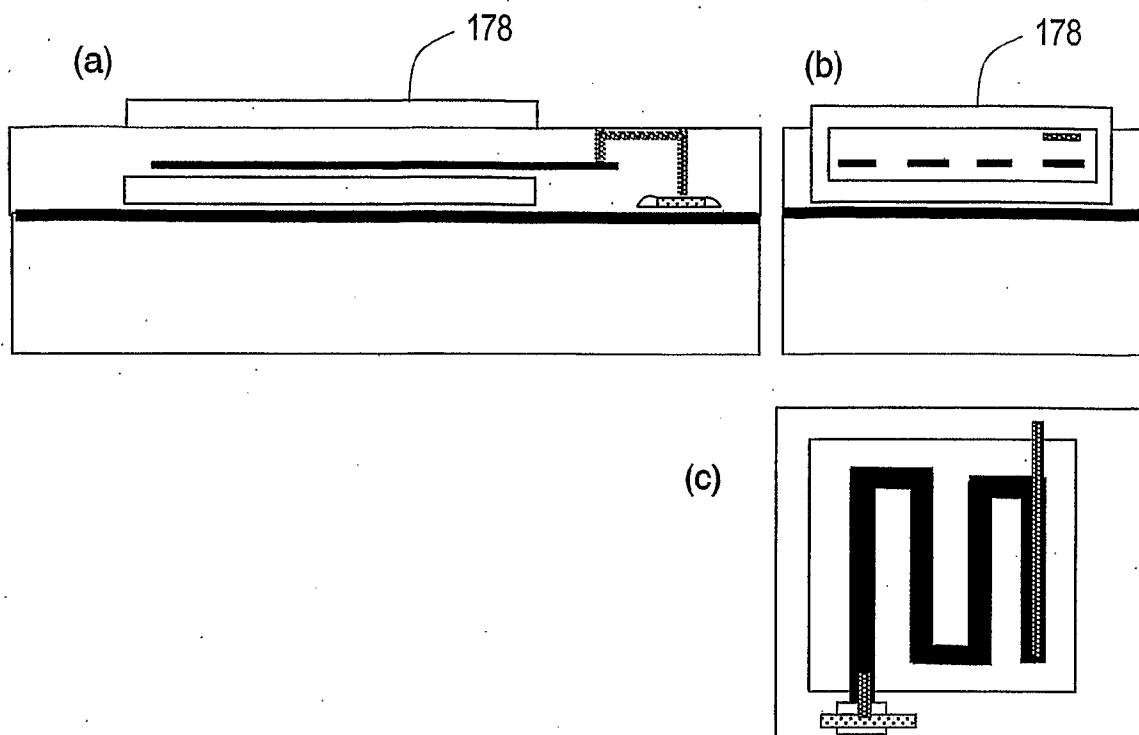


図28

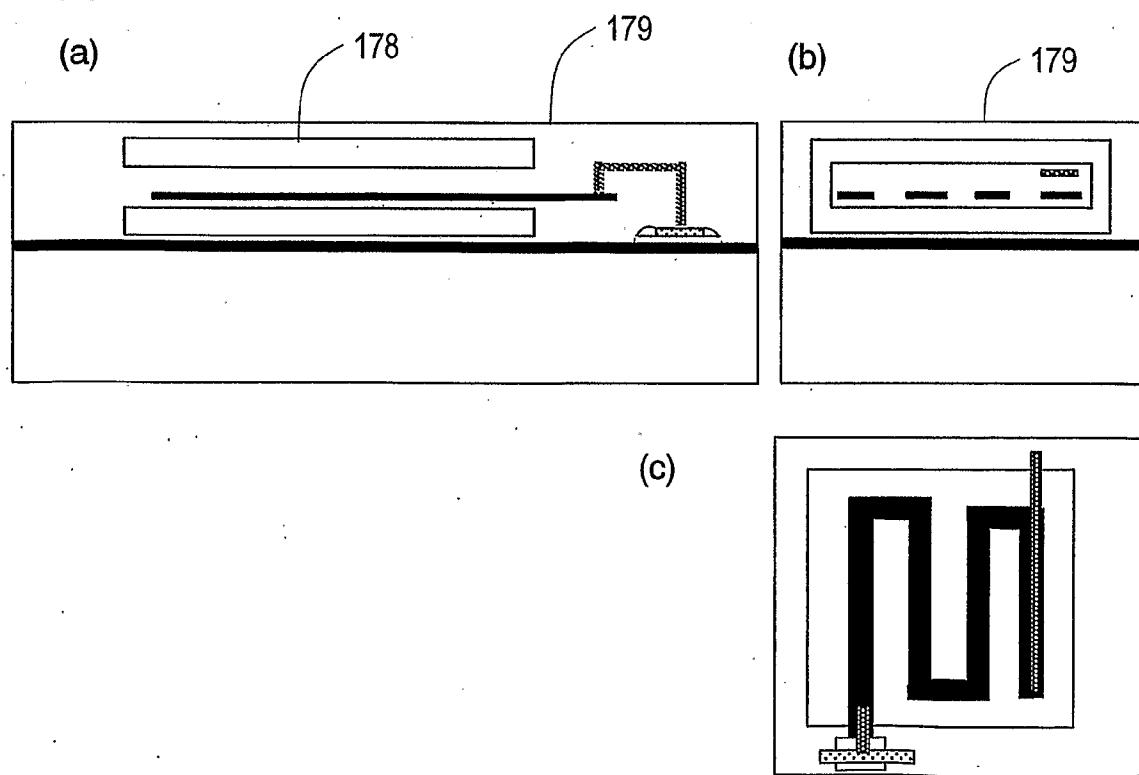


図29

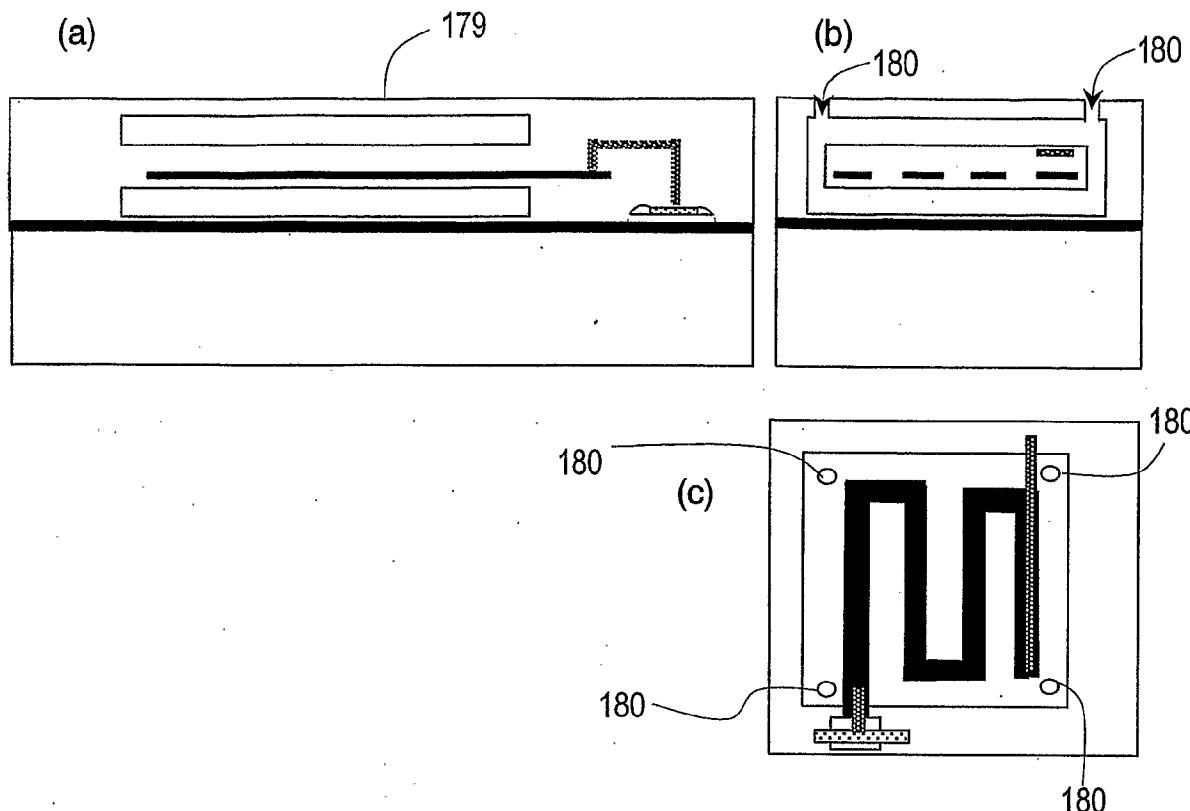


図30

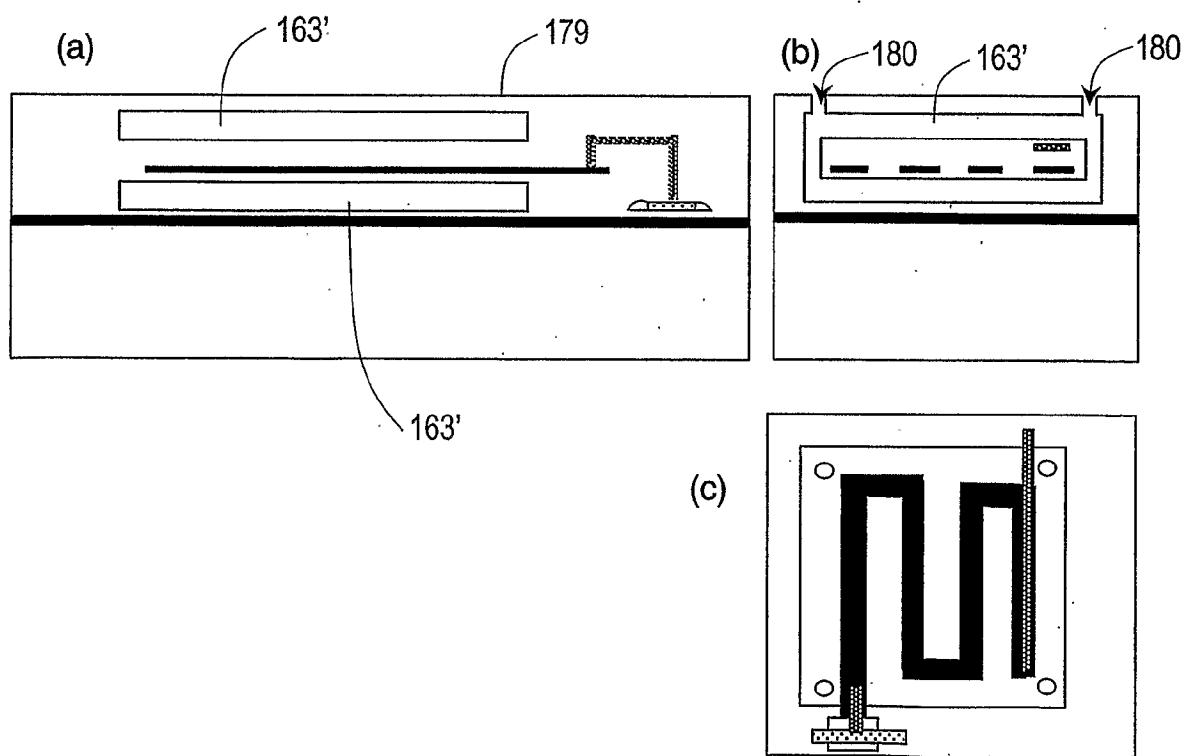


図31

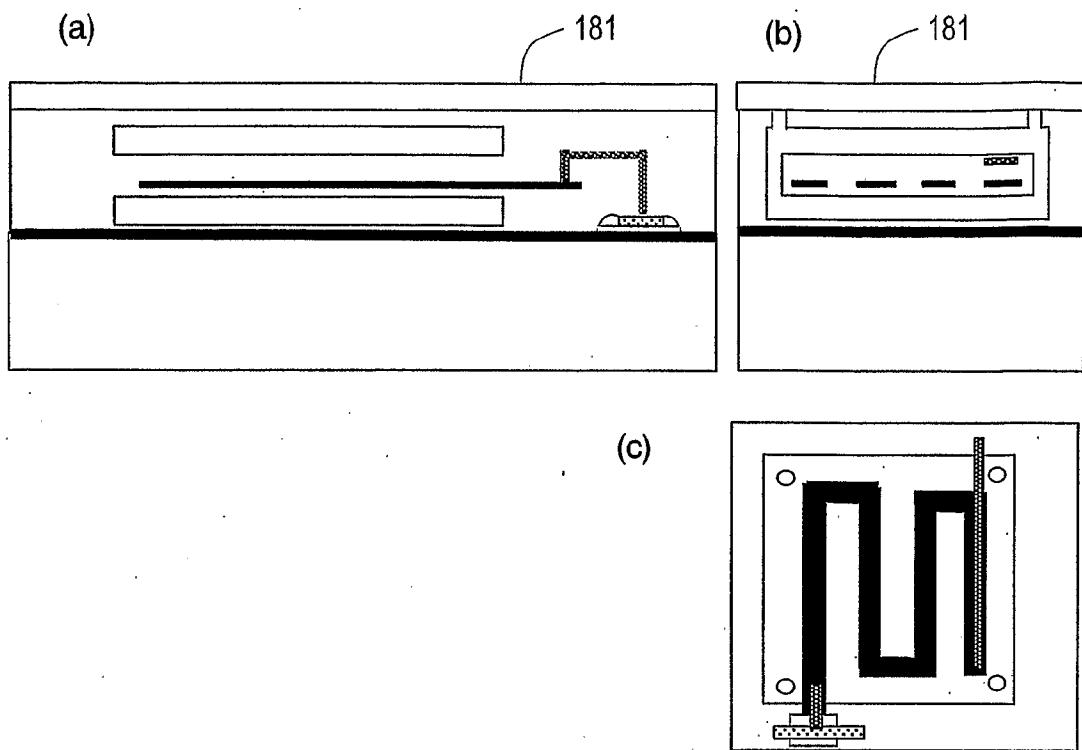


図32

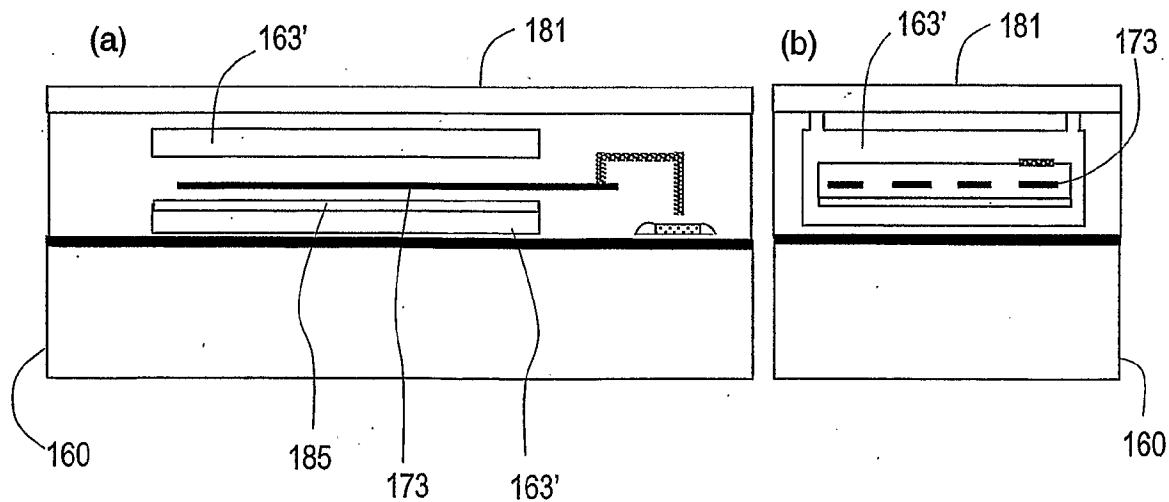


図33

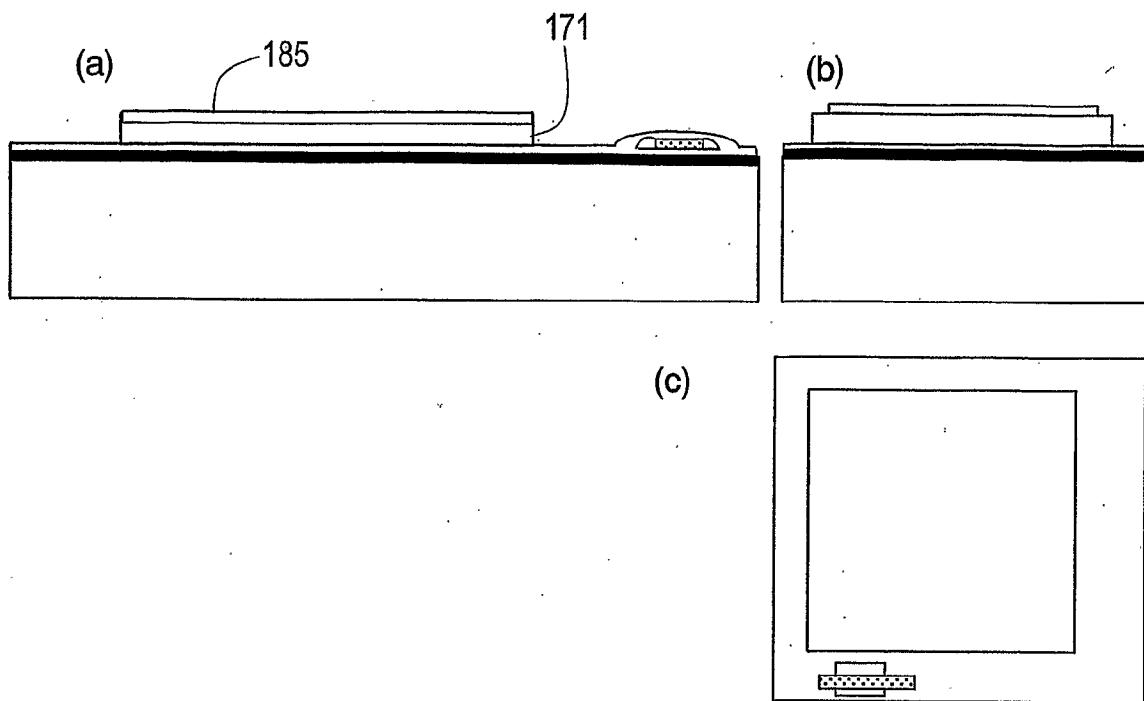


図 34

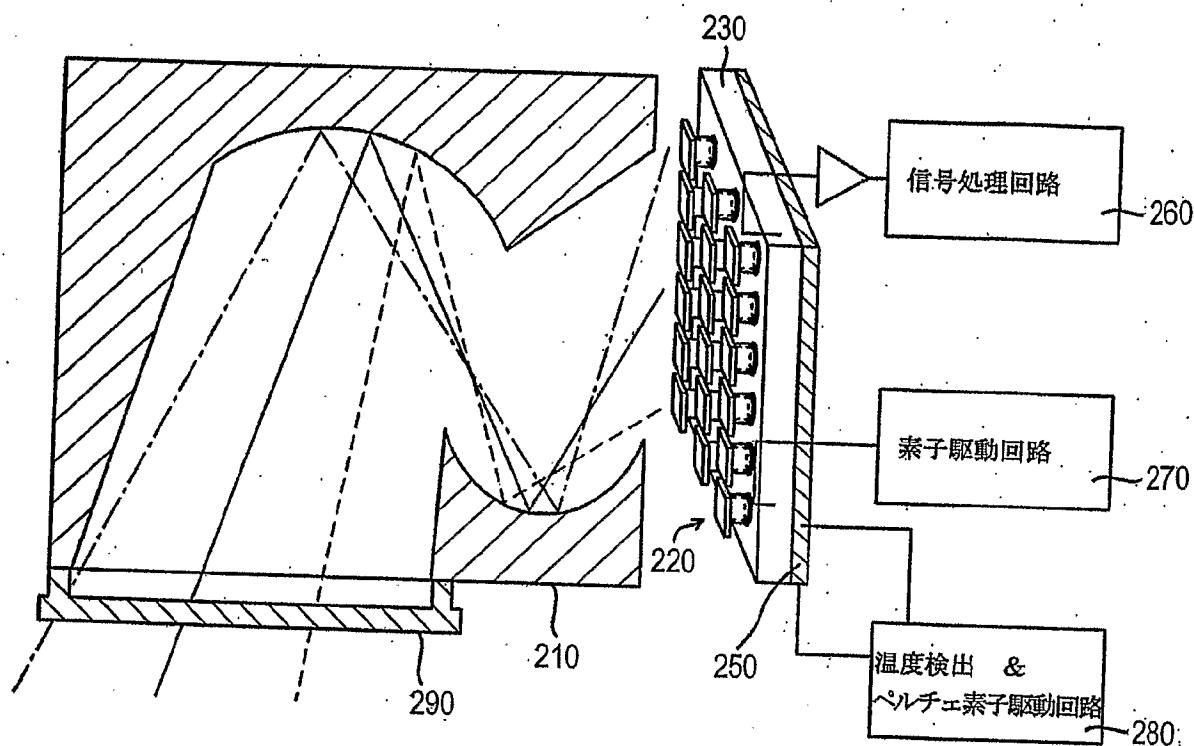


図 35

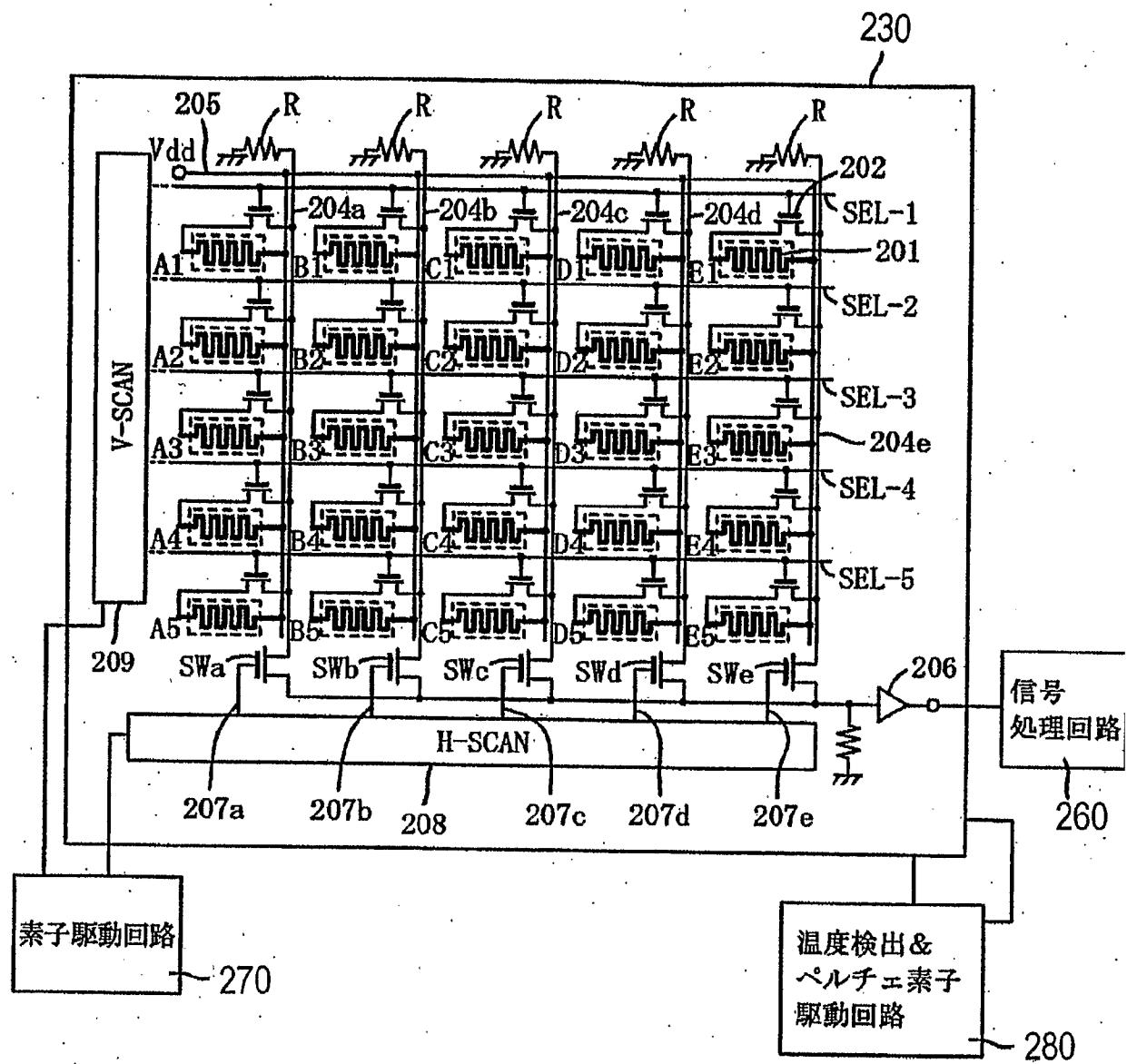


図 36

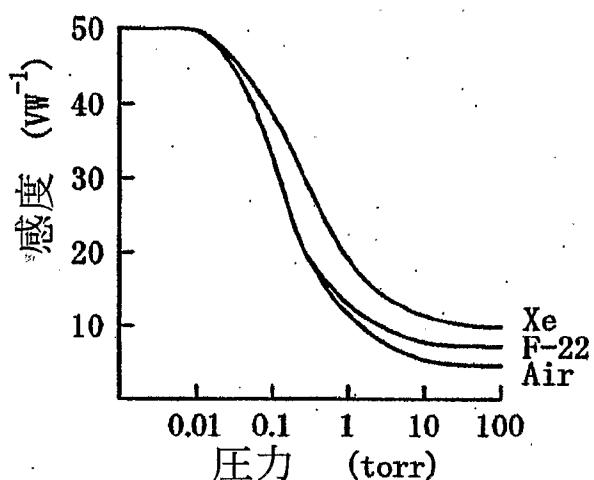


図 37

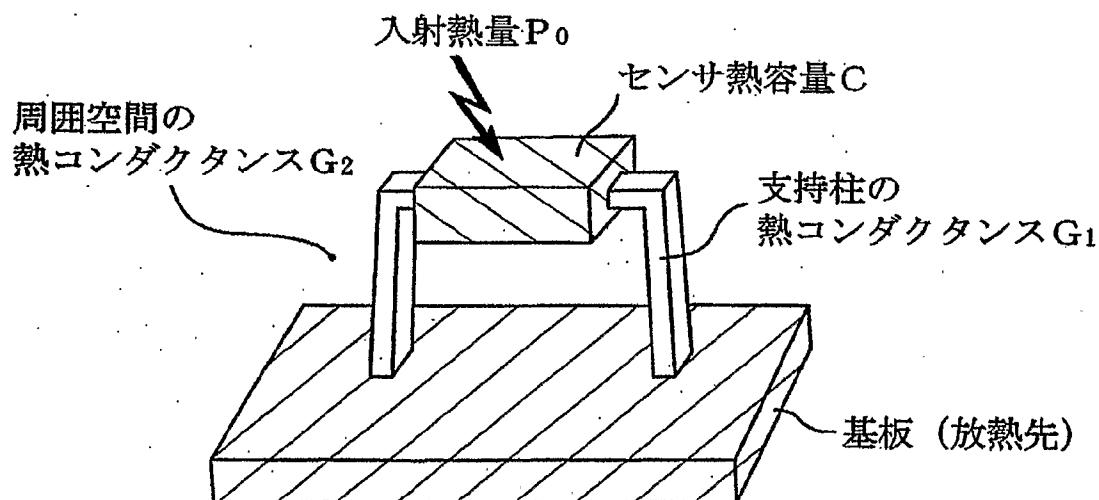
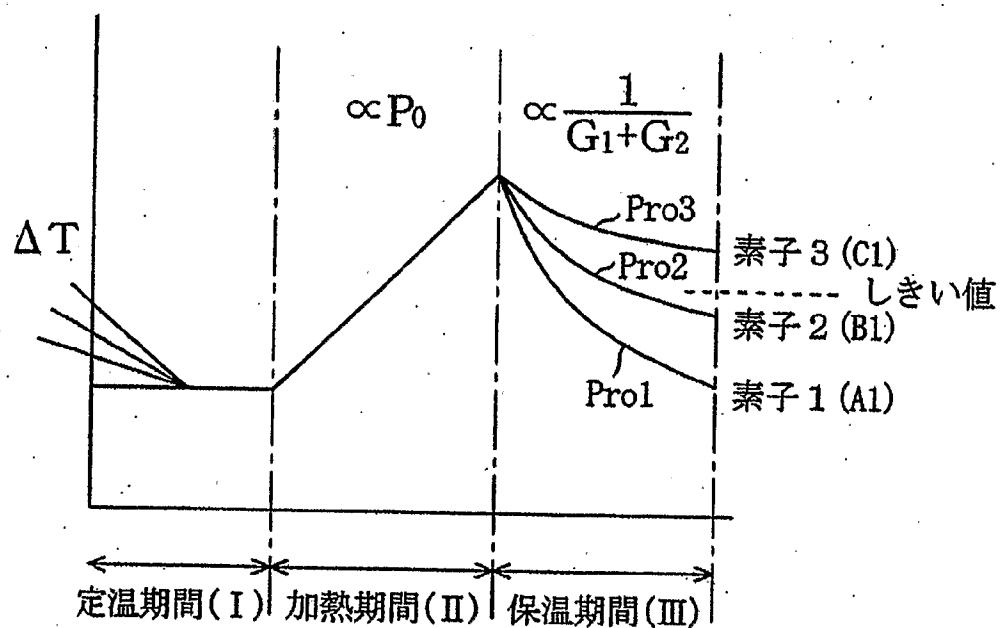


図 38



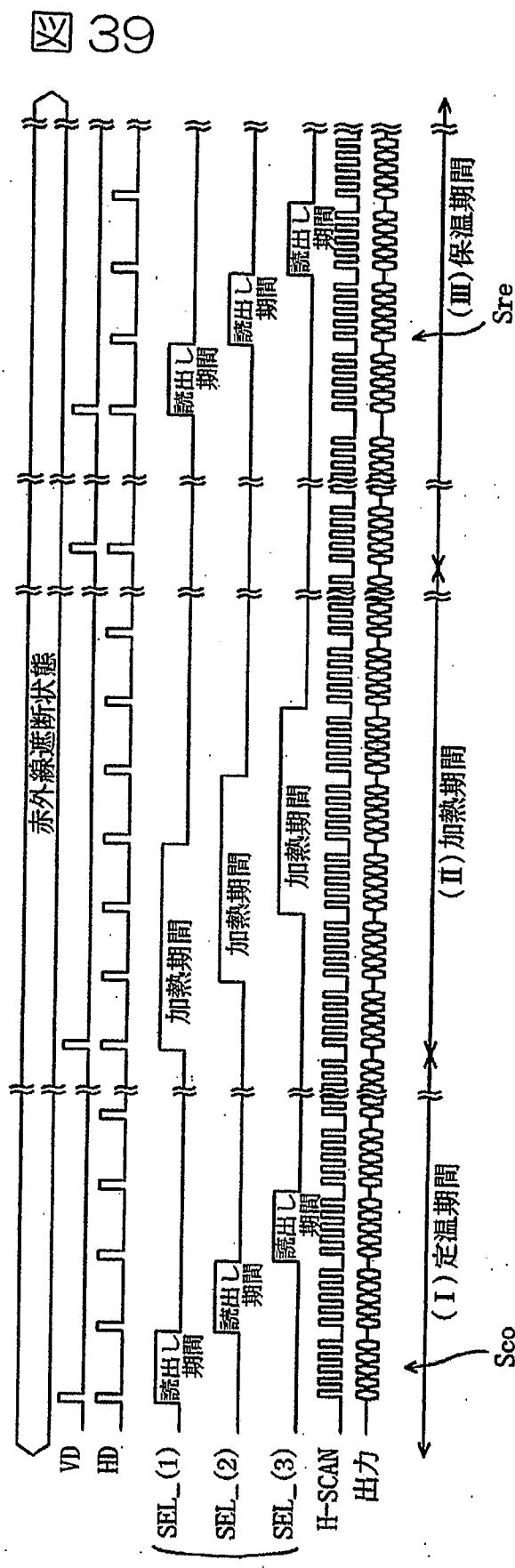


図 40

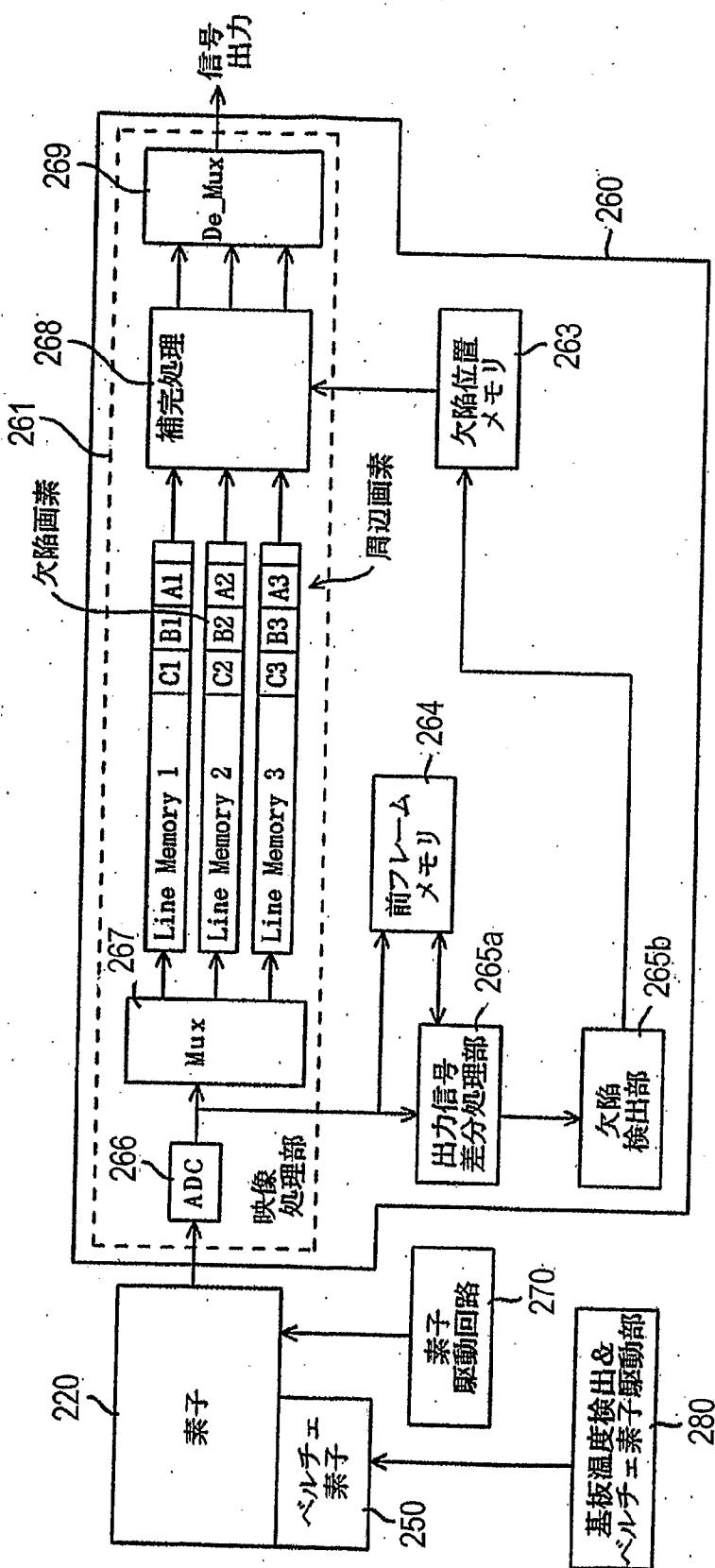


図 41

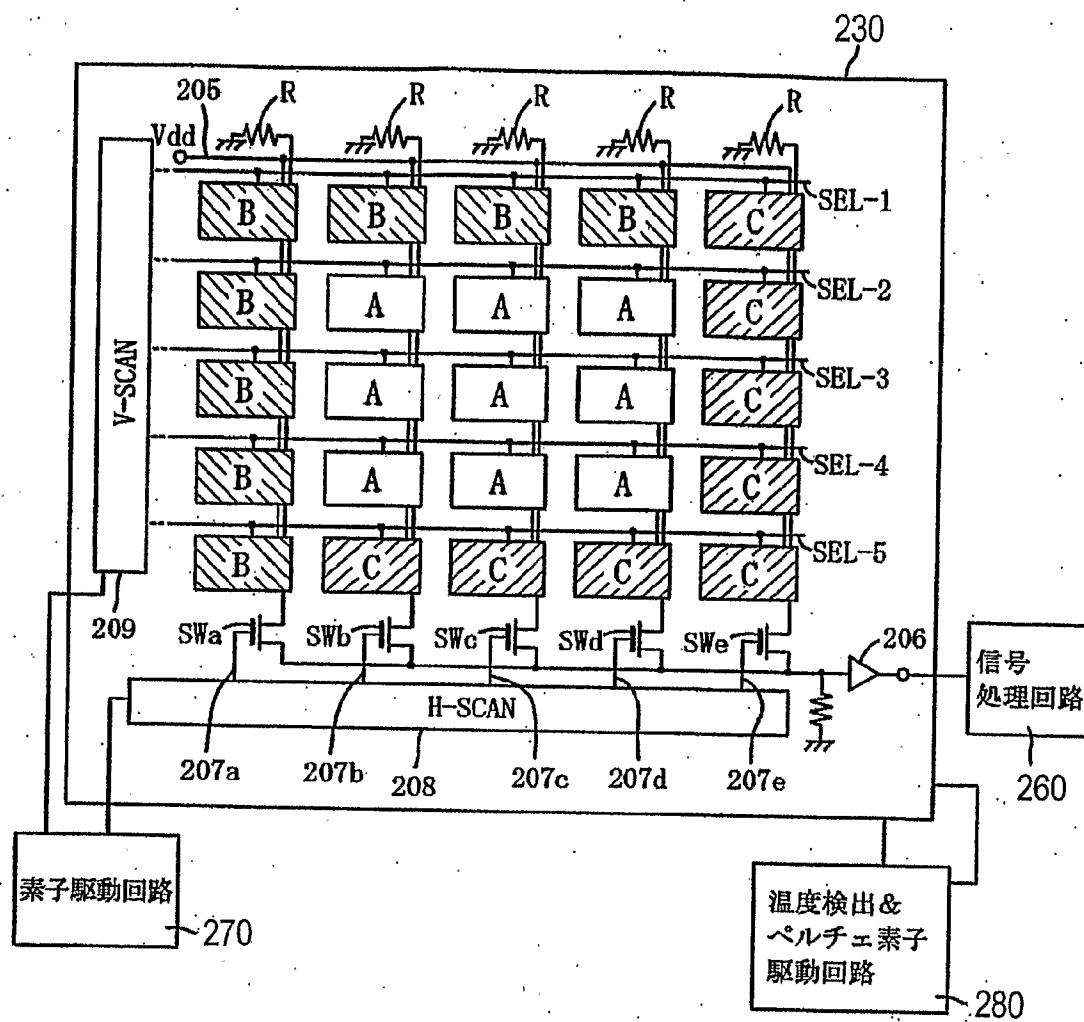
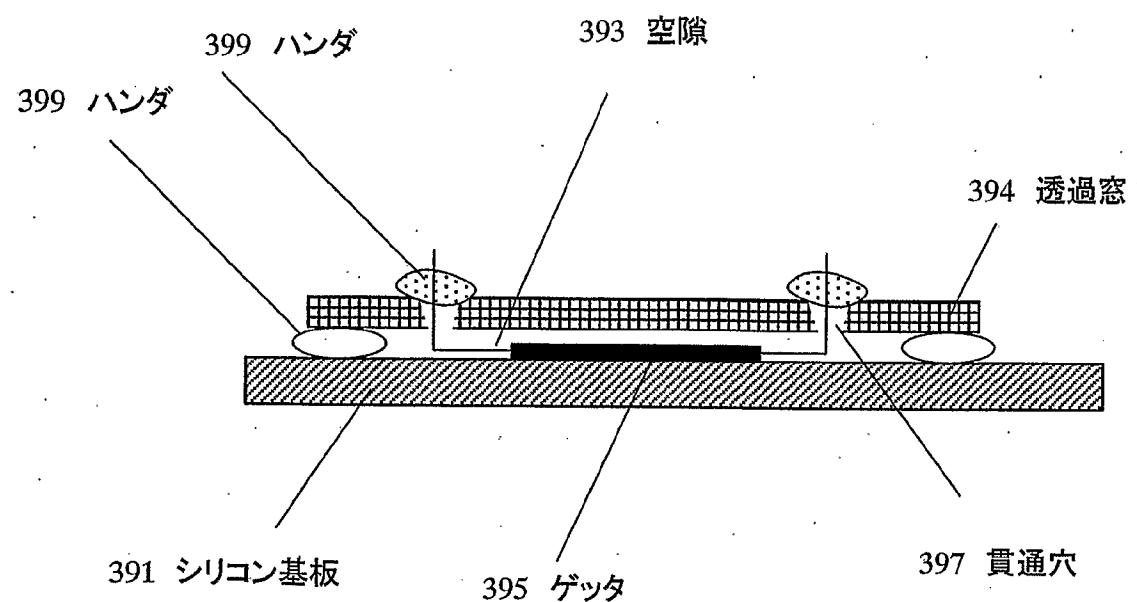


図42



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/16837

**A. CLASSIFICATION OF SUBJECT MATTER**  
Int.Cl<sup>7</sup> H01L35/34, G01J1/02, H01L37/02

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01L35/34, G01J1/02, H01L37/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6274440 B1 (INTERNATIONAL BUSINESS MACHINES CORP.), 14 August, 2001 (14.08.01), Full text; all drawings & JP 2000-311948 A 07 November, 2000 (07.11.00), Full text; all drawings & CN 1278107 A & KR 71497 A & EP 1041629 A1 & TW 457685 B	1-29
A	JP 2000-55759 A (Denso Corp.), 25 February, 2000 (25.02.00), Full text; all drawings (Family: none)	1-29

Further documents are listed in the continuation of Box C.  See patent family annex.

* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
---	--

Date of the actual completion of the international search  
30 March, 2004 (30.03.04)

Date of mailing of the international search report  
13 April, 2004 (13.04.04)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Faxsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP03/16837

**C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-55758 A (Denso Corp.), 25 February, 2000 (25.02.00), Full text; all drawings (Family: none)	1-29
A	JP 6-302834 A (Fujikura Ltd.), 28 October, 1994 (28.10.94), Full text; all drawings (Family: none)	1-29

## A. 発明の属する分野の分類（国際特許分類（IPC））

Int. C17 H01L35/34, G01J1/02, H01L37/02

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int. C17 H01L35/34, G01J1/02, H01L37/02

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国登録実用新案公報	1994-2004年
日本国実用新案登録公報	1996-2004年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	US 6274440 B1 (INTERNATIONAL BUSINESS MACHINES CORPORATION), 2001.08.14, 全文, 全図 & JP 2000-311948 A, 2000.11.07 全文, 全図 & CN 1278107 A & KR 71497 A & EP 1041629 A1 & TW 457685 B	1-29
A	JP 2000-55759 A (株式会社デンソー) 2000.02.25, 全文, 全図 (ファミリーなし)	1-29

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」同一パテントファミリー文献

## 国際調査を完了した日

30.03.2004

## 国際調査報告の発送日

13.4.2004

## 国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

## 特許庁審査官（権限のある職員）

小野田 誠

4L 8427

電話番号 03-3581-1101 内線 3462

## C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2000-55758 A (株式会社デンソー) 2000. 02. 25, 全文, 全図 (ファミリーなし)	1-29
A	JP 6-302834 A (株式会社フジクラ) 1994. 10. 28, 全文, 全図 (ファミリーなし)	1-29